

## МОДЕЛИРОВАНИЕ ИМПУЛЬСНЫХ ПОМЕХ В ДВУХФАЗНЫХ КМОП ИНВЕРТОРАХ ПРИ СБОРЕ ЗАРЯДА С ТРЕКА ИОНИЗИРУЮЩЕЙ ЧАСТИЦЫ

© 2019 г. В. Я. Стенин<sup>1,2,\*</sup>, Ю. В. Катунин<sup>2,\*\*</sup>

<sup>1</sup> *Национальный исследовательский ядерный университет “МИФИ”, Москва, 115409, Россия*

<sup>2</sup> *НИИ системных исследований РАНМосква, 117218, Россия*

\*e-mail: [vystenin@mephi.ru](mailto:vystenin@mephi.ru)

\*\*e-mail: [katunin@cs.niisi.ras.ru](mailto:katunin@cs.niisi.ras.ru)

Поступила в редакцию 29.01.2019 г.

После доработки 29.01.2019 г.

Принята к публикации 26.02.2019 г.

Приводятся результаты моделирования сбора заряда с треков одиночных ионизирующих частиц двухфазными КМОП инверторами с проектной нормой 65 нм на двух взаимно связанных каналах (фазах), образующих цепочку. Анализируется возникновение импульсных помех, вызванных сбором заряда с треков, направленных по нормали к поверхности приборной части кристалла, с точками входа трека как в стоковые области транзисторов, так и на расстоянии 0.3–0.7 мкм от них через слой диоксида кремния, изолирующего между собой транзисторы. Длительности импульсов помех на узлах элементов при сборе заряда с трека составляют от 120 до 300 пс, а амплитуды помех относительно напряжений на шине питания или общей шины находятся в пределах от 0.05 до 1.0 В. Распространение импульсов помех по цепочке двухфазных КМОП инверторов происходит только для треков с точками входа в стоковые области транзисторов. При линейной передаче энергии на трек 60 МэВ см<sup>2</sup>/мг помеха может распространиться на два инвертора, если импульсы помех образовались на двух выходах двухфазного КМОП инвертора и сумма их амплитуд превышает напряжение питания.

*Ключевые слова:* двухфазный инвертор, импульс помехи, моделирование, одиночная ядерная частица, помехоустойчивость, трек частицы

DOI: 10.1134/S2304487X19030143

### 1. ВВЕДЕНИЕ

К микропроцессорным КМОП СБИС, используемым в авионике и космической технике, предъявляются высокие требования по устойчивости к воздействиям одиночных ядерных частиц, которые вызывают импульсные помехи и возможные сбои в работе элементов. Как элементы сбоеустойчивых комбинационных схем, были предложены варианты двухфазных 4-транзисторных КМОП инверторов на 2-транзисторных [1, 2] конверторах и 4-транзисторных элементах с экранирующими транзисторами, включенными между двумя выходными транзисторами двухвходового конвертора [3]. Двухфазные КМОП инверторы [2] заимствованы из триггерной структуры DICE [4], 4-транзисторные инверторы и логические элементы на их основе [5, 6] используются в последовательностных элементах, таких как D- и RS-триггеры с перекрестными связями входов образующих их элементов. Двухпортовые эле-

менты [3] не нашли применения из-за их худших характеристик.

Двухфазная логика дает возможность разработки топологии логических элементов с разделением транзисторов на такие группы, когда воздействие только на одну из групп транзисторов не приводит к сбою данных, а дополнительное взаимное разнесение групп на кристалле СБИС повышает порог устойчивости [7].

Практический интерес представляет изучение топологических структур, снижающих уровень импульсных помех при сборе заряда транзисторами с трека частицы, в частности, процессов распределения заряда между транзисторами в цепочке двухфазных инверторов с чередованием их конверторов. Реальный эксперимент с наблюдением такого процесса неосуществим, но виртуальный при моделировании средствами ТСАД позволяет провести такое исследование.

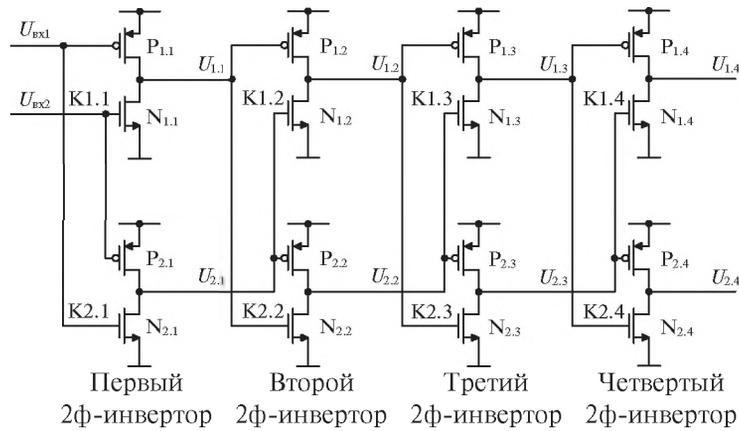


Рис. 1. Каскадное соединение (цепочка) четырех КМОП двухфазных инверторов.

## 2. ОСОБЕННОСТИ МОДЕЛИРОВАНИЯ ПОМЕХ В ЦЕПОЧКЕ ДВУХФАЗНЫХ ИНВЕРТОРОВ

К двухфазной логике относятся КМОП элементы из двух каналов (фаз), взаимодействующих между собой так, что синфазные составляющие сигналов на входах воспринимаются как информационные, а дифференциальные – как помехи. Воздействия отдельных ядерных частиц приводят к возникновению вдоль трека частицы неравно-

весных носителей заряда, сбор которых через обратно смещенные *pn*-переходы транзисторов приводит к образованию импульсов тока и сопровождающих их импульсных помех на узлах элемента, которые вызывают временные изменения их состояния (single event transients – SET).

На рис. 1 приведена схема цепочки из четырех двухфазных КМОП инверторов (2ф-инверторов) с перекрестными связями входов образующих их конверторов. Конверторы обозначены на примере конверторов первого инвертора как K1.1 и K2.1, где первая цифра означает номер конвертора, а вторая цифра – номер его 2ф-инвертора.

Приборное моделирование КМОП транзисторов по объемной 65-нм технологии (с длиной канала 65 нм) проведено на основе 3-D TCAD моделей работы [8]. Эскиз 3-D приборной структуры приведен на рис. 2. КМОП структура соответствует планарной объемной технологии с двойными охранными кольцами и взаимной изоляцией элементов неглубокими канавками (shallow trench isolation – STI). Для наглядности на рис. 2 убрано изображение областей изоляции раздельным оксидом, охватывающим до глубины 400 нм кремниевые области транзисторов. Активные области КМОП транзисторов, собирающих заряд с трека частицы, на рис. 2 представлены кремниевыми “параллелепипедами”, в верхних частях которых выполнены диффузионные *pn*-переходы истоков и стоков транзисторов и их затворы.

3-D приборная структура на рис. 2 включает восемь пар КМОП транзисторов; каждая пара, начиная с первой  $N_{1,1}P_{1,1}$ , образует двухтранзисторный КМОП конвертор. Четыре транзистора  $N_{1,1}P_{1,1}$  и  $N_{2,1}P_{2,1}$  (два конвертора K1.1 и K2.1) образуют первый 2ф-инвертор (см. рис. 1 и 2). Транзисторы  $N_{1,2}P_{1,2}$  и  $N_{2,2}P_{2,2}$  (два конвертора K1.2 и K2.2) образуют второй 2ф-инвертор. В приборной структуре на рис. 2 использовано чередова-

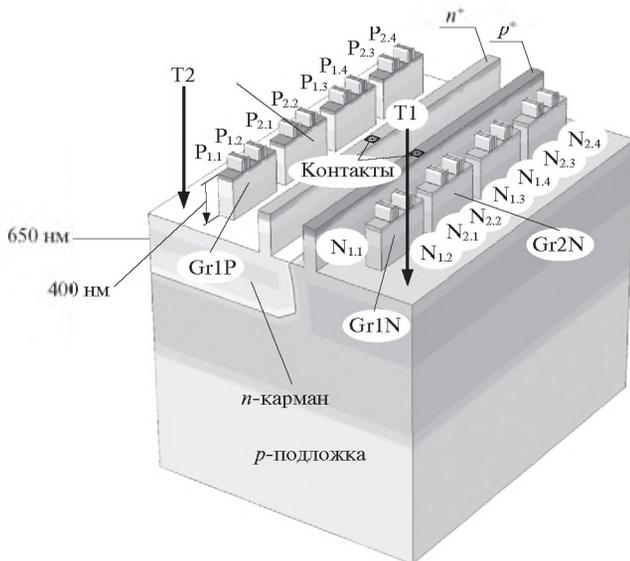


Рис. 2. Приборная 3-D структура модели, включающая все транзисторы цепочки двухфазных инверторов;  $n^+$  и  $p^+$  области – элементы защитных полос, изолирующих области нахождения *N*- и *P*МОП транзисторов; Gr1N – Gr2P – группы из двух транзисторов смежных двухфазных инверторов; даны примеры треков для двух точек входа трека  $I_n$  и  $I_p$  с направлениями по нормали к поверхности кристалла – трек T1 (в область *N*МОП транзисторов) и трек T2 (в область *P*МОП транзисторов).

ние 2-транзисторных конверторов смежных 2ф-инверторов для разнесения взаимно чувствительных к сбору заряда транзисторов. Поэтому за транзисторами  $N_{1,1}P_{1,1}$  первого конвертора из первого 2ф-инвертора на рис. 2 следуют транзисторы  $N_{1,2}P_{1,2}$  первого конвертора второго 2ф-инвертора.

Конструктивными группами являются каждый из кремниевых “параллелепипедов” с двумя транзисторами, обозначенные на рис. 2, например, как Gr1N и Gr1P, где цифра соответствует номеру группы, а латинская буква N или P – типу проводимости канала МОП транзисторов в группе. В группы объединены пары транзисторов одного типа проводимости, находящиеся одновременно в разных состояниях (запертом и открытом), которые меняются при смене логических уровней синфазных сигналов  $U_{BX1}$ ,  $U_{BX2}$  на входах первого 2-ф инвертора.

Кремниевый кристалл [9] легирован бором с концентрацией  $10^{16} \text{ см}^{-3}$ , кроме того, приборная часть легирована бором по гауссу с пиковой концентрацией  $5 \times 10^{18} \text{ см}^{-3}$  на глубине 1.25 мкм и зоной легирования  $\pm 0.4$  мкм. Приборные слои легированы по гауссу с пиковой концентрацией  $2 \times 10^{18} \text{ см}^{-3}$  на глубинах 0.65 мкм бором для ЛМОП транзисторов и мышьяком в *n*-кармане для РМОП транзисторов. Таким образом, под кремниевыми “параллелепипедами” высотой 400 нм образован проводящий слой *p*-типа под ЛМОП транзисторами и *n*-типа под РМОП транзисторами толщиной 200 нм на глубине до 650 нм (рис. 2) от поверхности.

Тестовым воздействием в работе принят сбор заряда с трека, направленного по нормали к поверхности приборной части структуры инверторов. На рис. 2 приведены примеры треков для двух точек входа трека – трек Т1 (в область ЛМОП транзисторов) и трек Т2 (в область РМОП транзисторов). Неравновесные носители заряда, генерируемые вдоль трека, могут образовываться как в кремниевых “параллелепипедах”, в которых выполнены группы из двух транзисторов, так и в тонком слое под ними и слое изолирующего оксида. Величина заряда, генерируемого на треке, зависит от передачи энергии частицей на трек. Энергетическая составляющая генерации носителей заряда характеризуется линейной передачей энергии частицей [10] – (linear energy transfer – LET).

На рис. 3 приведен эскиз топологии цепочки четырех КМОП 2ф-инверторов, на котором дано расположение вариантов точек входа трека частицы, отмеченных маркером “звездочка”, это точки 1n, 2n, 1nC, 2nC при сборе заряда ЛМОП транзисторами и 1p, 2p, 1pC, 2pC при сборе заряда РМОП транзисторами. Дополнительная буква С

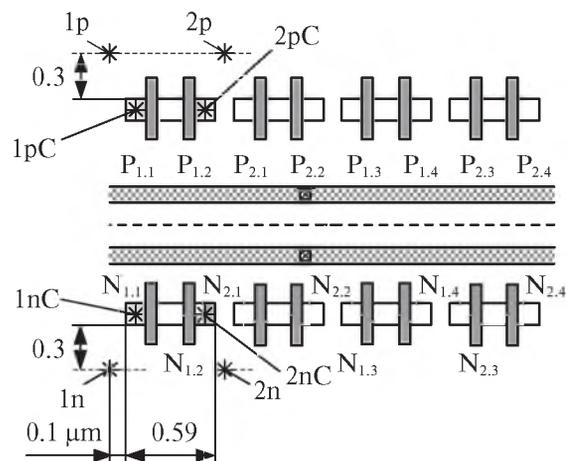


Рис. 3. Эскиз топологии КМОП элемента из четырех двухфазных инверторов; показано расположение вариантов точек входа трека частицы, отмеченных маркером “звездочка”.

означает, что точка входа трека находится на области стока транзистора.

Результаты исследования получены при моделировании средствами 3-D TCAD с использованием симулятора Sentaurus Device при температуре 25°C и напряжении питания 1.0 В для КМОП структур по объемной 65-нм КМОП технологии с шириной каналов транзисторов 150 нм. Трехмерная приборная структура имела размеры 10.9 мкм  $\times$  6.4 мкм при толщине подложки 3.0 мкм.

### 3. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ ИМПУЛЬСНЫХ ПОМЕХ ПРИ СБОРЕ ЗАРЯДА С ТРЕКА ЧАСТИЦЫ

Неравновесные носители заряда, генерируемые вдоль трека одиночной ионизирующей частицы, могут образовываться как в активных кремниевых “параллелепипедах”, содержащих группы транзисторов из смежных инверторов, так и в тонком кремниевом слое под ними. Первая группа ЛМОП транзисторов Gr1N состоит из транзисторов  $N_{1,1}$  и  $N_{1,2}$ , а вторая, Gr2N, – из  $N_{2,1}$  и  $N_{2,2}$ , которые принадлежат конверторам К2.1 и К2.2 первого и второго 2ф-инверторов (рис. 2 и 3). Подобным образом первая Gr1P и вторая Gr2P группы РМОП транзисторов содержат соответственно транзисторы  $P_{1,1}$ ,  $P_{1,2}$  и  $P_{2,1}$ ,  $P_{2,2}$  первого и второго 2ф-инверторов.

При точках входов треков, использованных в данной работе, сбор заряда осуществлялся транзисторами первого и второго 2ф-инверторов (рис. 3), поэтому импульсные помехи образовались на выходных узлах этих инверторов. В табл. 1 приведены результаты определения амплитуд импульсных помех на узлах этих 2ф-инверторов при сборе заряда с треков с точками вхо-

**Таблица 1.** Значения амплитуд импульсных помех на узлах первого и второго 2ф-инверторов при сборе заряда с трека с направлением по нормали к поверхности приборной модели при LET = 60 МэВ см<sup>2</sup>/мг

Точка входа трека	1n	2n	1p	2p	1nC	2nC	1pC	2pC
Амплитуда помехи, В (при $U_{BX1} = U_{BX2} = 0$ )	0.302 N <sub>1.1</sub>	0.283 N <sub>2.1</sub>	0.029 P <sub>1.2</sub>	0.05 P <sub>1.2</sub>	1.0 N <sub>1.1</sub>	1.0 N <sub>1.1</sub>	0.889 P <sub>1.2</sub>	1.0 P <sub>1.2</sub>
Амплитуда помехи, В (при $U_{BX1} = U_{BX2} = 1$ В)	0.126 N <sub>1.2</sub>	0.339 N <sub>1.2</sub>	0.049 P <sub>1.1</sub>	0.042 P <sub>2.1</sub>	1.0 N <sub>1.2</sub>	1.0 N <sub>1.2</sub>	1.0 P <sub>1.1</sub>	0.853 P <sub>1.1</sub>

Примечание: в таблице рядом со значением амплитуды помещено обозначение транзистора, собиравшего заряд с трека, с номером узла, на котором образована импульсная помеха.

да 1n, 2n, 1p, 2p, 1nC, 2nC, 1pC, 2pC при линейной передаче энергии на трек LET = 60 МэВ см<sup>2</sup>/мг. Точки входа с добавочным индексом С являются точками входов треков в стоковые области транзисторов. Амплитуды импульсных помех при сборе заряда с треков, точки входа которых 1n, 2n, 1p, 2p находятся вне стоков транзисторов (рис. 3), меньше 0.34 В (табл. 1) и не могут вызвать изменение логического состояния 2ф-инвертора, поэтому детальное их исследование не приводится.

Изменить логическое состояние 2ф-инвертора может сбор заряда с трека, проходящего через область стока транзистора с точками входа 1nC, 2nC, 1pC, 2pC. У этих двух типов трека разные длины отрезков трека, в которых могут генерироваться неравновесные носители заряда (электроны и дырки). В варианте трека с точкой входа в сток транзистора – это отрезки трека длиной 650 нм, а для треков через слой изолирующего оксида – это отрезки трека длиной 250 нм. Пропорционально этим длинам и возникают генерируемые заряды.

Когда точки входа трека находятся снаружи от “островков” активного кремния, где выполнены транзисторы, сбор заряда с таких треков и амплитуда импульса помехи существенно меньше, чем с трека, проходящего через сток транзистора (табл. 1). Благодаря диффузии носителей заряда, с трека по тонкому слою кремния происходит “растекание” заряда в две смежные группы транзисторов, когда вход трека находится вне групп, например, в случае групп Gr1N и Gr2N и трека с входной точкой 2n.

### 3.1. Сбор заряда NМОП транзисторами с треков с точкой входа трека 2n

На рис. 4а приведены зависимости напряжений на узлах цепочки инверторов при сборе заряда с трека с точкой входа 2n для случая, когда на входах первого 2ф-инвертора напряжения равны нулю  $U_{BX1} = U_{BX2} = 0$ . Линейная передача энергии частицей на трек 60 МэВ см<sup>2</sup>/мг. Точка входа трека 2n расположена на равном расстоянии от границ первой и второй групп транзисторов Gr1N и Gr2N (рис. 2 и 3). Генерируемые на треке носители

заряда (электроны) с трека 2n диффундируют в области обеих групп Gr1N и Gr2N.

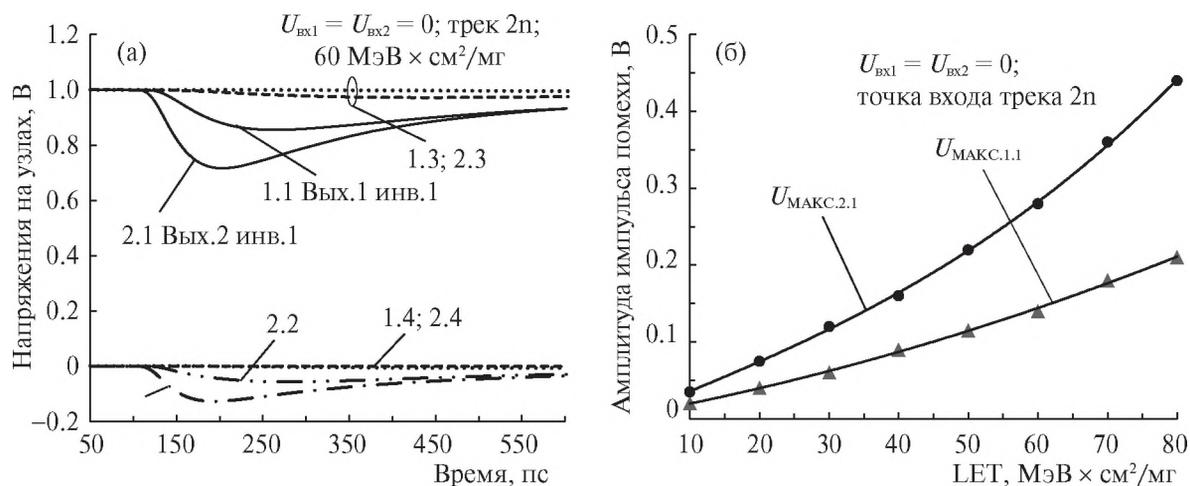
При  $U_{BX1} = U_{BX2} = 0$  (табл. 1) заперты транзисторы первого 2ф-инвертора, а именно, N<sub>1.1</sub> в группе Gr1N и N<sub>2.1</sub> в группе Gr2N. Они и собирают заряд через свои обратные смещенные стоковые pn-переходы. Транзистор N<sub>2.1</sub> ближе к точке трека 2n, чем N<sub>1.1</sub>, он собирает заряд более активно, и амплитуда помехи на узле 2.1 больше (Вых. 2 инв. 1 на рис. 4а), чем помехи на узле 1.1 (Вых. 1 инв. 1):  $U_{МАКС.2.1} = 0.28$  В и  $U_{МАКС.1.1} = 0.14$  В. Открытые транзисторы N<sub>1.2</sub> и N<sub>2.2</sub> собирают заряд незначительно, импульсы помех на узлах 1.2 и 2.2 в диапазоне 0.05–0.14 В.

На рис. 4б приведены зависимости амплитуд импульсных помех на обоих выходах 1.1 и 2.1 первого 2ф-инвертора  $U_{МАКС.1.1}(LET)$  и  $U_{МАКС.2.1}(LET)$  в зависимости от линейной передачи энергии LET на трек в диапазоне 10–80 МэВ×см<sup>2</sup>/мг для трека с той же точкой входа 2n. Как уже отмечалось, транзистор N<sub>2.1</sub> находится ближе к треку, чем N<sub>1.1</sub> (см. рис. 3), поэтому собираемый им заряд больше и больше амплитуда импульса помехи на узле 2.1 во всем диапазоне передачи энергии частицей на трек.

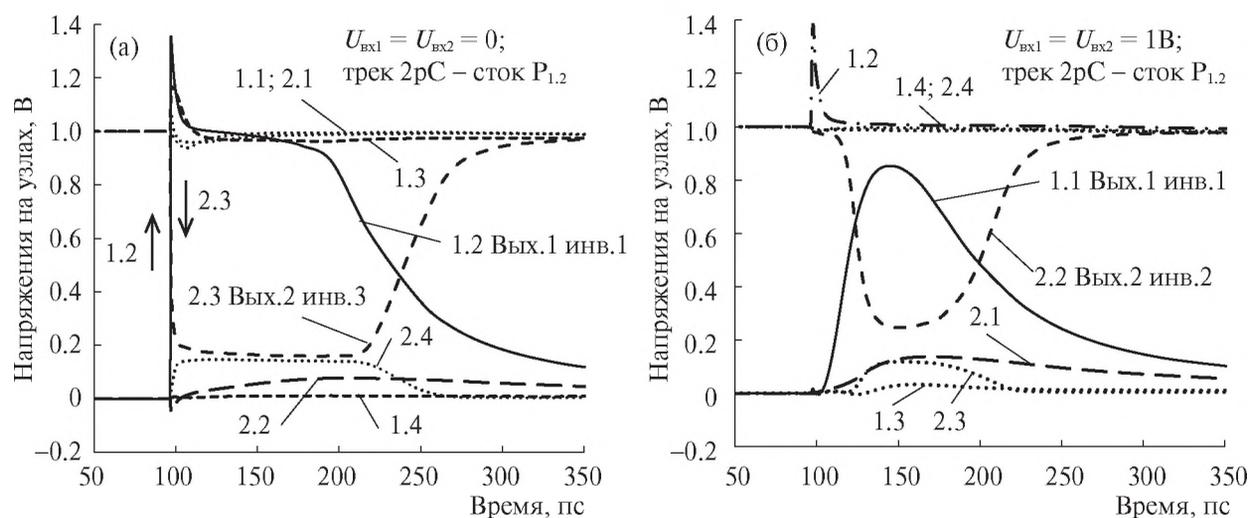
### 3.2. Сбор заряда PМОП транзисторами с трека с точкой входа 2pC

На рис. 5 приведены зависимости напряжений на узлах цепочки инверторов при сборе заряда с трека с точкой входа 2pC непосредственно в область стока PМОП транзистора P<sub>1.2</sub> (рис. 3) для случая, когда на входах первого 2ф-инвертора напряжения  $U_{BX1} = U_{BX2} = 0$  (рис. 5а) и  $U_{BX1} = U_{BX2} = 1$  В (рис. 5б). В обоих случаях линейная передача энергии на трек была 60 МэВ см<sup>2</sup>/мг.

При  $U_{BX1} = U_{BX2} = 0$  (рис. 5а) заперты транзистор P<sub>1.2</sub> в группе Gr1P и транзистор P<sub>2.2</sub> в группе Gr2P. Трек с входной точкой 2pC проходит через стоковую область транзистора P<sub>1.2</sub>, поэтому транзистор P<sub>1.2</sub> в основном и собирает заряд. Практически моментально с появлением неравновесных носителей заряда на треке транзистор P<sub>1.2</sub> из ис-



**Рис. 4.** Импульсные помехи на узлах цепочки 2φ-инверторов, точка входа трека 2п, напряжения на входах первого 2φ-инвертора  $U_{ВХ1} = U_{ВХ2} = 0$ : (а) импульсные помехи на узлах при  $LET = 60 \text{ МэВ} \times \text{см}^2/\text{мг}$ ; (б) амплитуды импульсных помех  $U_{МАКС.1.1}$  и  $U_{МАКС.2.1}$  на выходах 1.1 и 2.1 первого 2φ-инвертора при диффузии заряда с трека с точкой входа 2п в сток транзистора  $N_{1.1}$  в группе Gr1N и в сток транзистора  $N_{2.1}$  в группе Gr2N.

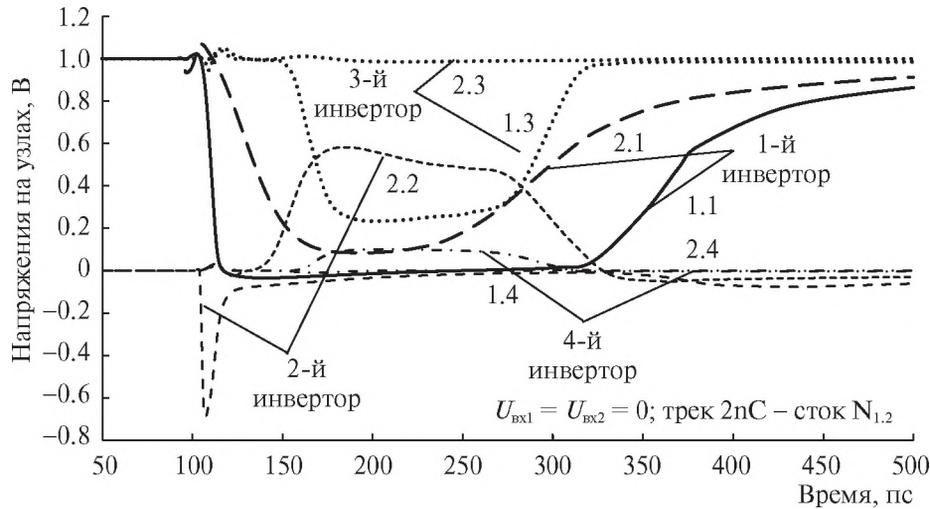


**Рис. 5.** Зависимости импульсов напряжений на узлах цепочки 2φ-инверторов во время сбора заряда, трек по нормали к поверхности, точка входа трека 2pC в сток транзистора  $P_{1.2}$  при  $LET = 60 \text{ МэВ} \times \text{см}^2/\text{мг}$ , исходное состояние напряжений на входах первого 2φ-инвертора: (а)  $U_{ВХ1} = U_{ВХ2} = 0$ ; (б)  $U_{ВХ1} = U_{ВХ2} = 1 \text{ В}$ .

ходного состояния с напряжением  $U_{1.2} = 0$  на узле 1.2 (Вых. 1 инв. 2), переходит в состояние с инверсным режимом смещения на 10 пс и напряжением узла  $U_{1.2} = 1.35 \text{ В}$ . Затем в течение 100 пс напряжение на узле 1.2 поддерживается постоянным  $U_{1.2} = 1 \text{ В}$ , после чего снижается. В итоге амплитуда импульса помехи  $U_{1.2}(t)$  на выходном узле 1.2 второго инвертора имеет значение  $U_{МАКС.1.2} \approx 1 \text{ В}$  (рис. 5а), а длительность импульса 150 пс. Импульсная помеха  $U_{1.2}(t)$  воздействует на затвор транзистора  $N_{2.3}$  третьего 2φ-инвертора, инициируя на его выходном узле 2.3 (Вых. 2 инв. 3) импульс амплитудой  $U_{МАКС.2.3} = 0.83 \text{ В}$ . Сумма при-

ражений напряжений на выходных узлах второго 2φ-инвертора при сборе заряда  $\Delta U_{1.2} + \Delta U_{2.2} \approx U_{И.П}$  оказывается недостаточной для полного переключения третьего инвертора по обоим выходам.

При напряжениях на входе двухфазной цепочки  $U_{ВХ1.1} = U_{ВХ2.1} = 1 \text{ В}$  транзистор  $P_{1.1}$  в группе Gr1N заперт и напряжение на его стоке и узле 1.1 равно  $U_{1.1} = 0$ , а транзистор  $P_{1.2}$  открыт. В группе Gr2N заперт транзистор  $P_{2.1}$ , а открыт транзистор  $P_{1.2}$ . В данном случае трек с точкой входа 2pC проходит через стоковую область открытого транзистора  $P_{1.2}$ , которого собираемый им заряд перево-



**Рис. 6.** Зависимости импульсов напряжений на узлах цепочки 2φ-инверторов во время сбора заряда транзисторами первого 2φ-инвертора с трека по нормали к поверхности, точка входа трека 2nC в сток транзистора  $N_{1,2}$  при  $LET = 60 \text{ МэВ см}^2/\text{мг}$ , исходное состояние напряжений на входах первого 2φ-инвертора  $U_{ВХ1} = U_{ВХ2} = 0$ .

дит на 10 пс из исходного состояния с напряжением на его стоке  $U_{C1,2} = U_{ИП} = 1 \text{ В}$  в инверсное состояние с напряжением  $U_{C1,1} = 1.38 \text{ В}$  (рис. 5б), после чего транзистор  $P_{1,2}$  возвращается в исходное состояние.

В итоге сбора заряда с трека 2pC запертым транзистором  $P_{1,1}$  амплитуда импульсной помехи  $U_{1,1}(t)$  на выходном узле 1.1 (Вых. 1 инв. 1 на рис. 5б) достигает значения  $U_{МАКС.1,1} = 0.84 \text{ В}$  с длительностью помехи 100 пс. Импульс помехи  $U_{1,1}(t)$  воздействует на затвор транзистора  $N_{2,2}$  второго 2φ-инвертора (рис. 1), инициируя на его выходном узле 2.2 (Вых. 2 инв. 2) импульс амплитудой  $U_{МАКС.2,2} = 0.75 \text{ В}$ . Транзистор  $P_{2,1}$  первого 2φ-инвертора в группе Gr2N собирает незначительное количество заряда и амплитуда импульса на его выходном узле 2.1 незначительна  $U_{МАКС.2,1} = 0.1 \text{ В}$  (рис. 5б). Приращения напряжения на выходных узлах 1.1 и 2.1 первого 2φ-инвертора при сборе заряда составляют  $\Delta U_{1,1} + \Delta U_{2,1} = 0.92 \text{ В} < U_{ИП} = 1 \text{ В}$ , что недостаточно для полного переключения второго 2φ-инвертора по обоим его выходам.

### 3.3. Сбор заряда НМОП транзисторами с треков с точкой входа трека 2nC

На рис. 6 приведены зависимости импульсов напряжений на узлах цепочки инверторов при сборе заряда с трека с точкой входа 2nC в группе Gr1N (рис. 3) в область стока транзистора  $N_{1,2}$  второго 2φ-инвертора для случая, когда напряжения на входах первого в цепочке 2φ-инвертора  $U_{ВХ1} = U_{ВХ2} = 0$ , а линейная передача энергии на трек  $60 \text{ МэВ см}^2/\text{мг}$ . При напряжениях  $U_{ВХ1} = U_{ВХ2} = 0$  транзистор  $N_{1,2}$  открыт и несмотря на то, что

трек проходит через его стоковую область, практически не собирает заряд.

В группе Gr1N заряд собирает изначально запертый транзистор  $N_{1,1}$  первого 2φ-инвертора, причем электроны диффундируют и в группу Gr2N, расположенную рядом (рис. 3), где заряд собирает транзистор  $N_{1,1}$  также первого 2φ-инвертора. Оба выходных узла 1.1 и 2.1 (рис. 6) первого 2φ-инвертора в итоге переходят на 180–250 пс из логического состояния “1” в состояние “0”, что незначительно изменяет напряжения на втором выходе 2.2 второго 2φ-инвертора и на первом выходе 1.3 третьего 2φ-инвертора, не меняя их логического состояния (см. рис. 6).

Транзистор  $N_{1,2}$  второго 2φ-инвертора, сток которого является точкой входа трека 2nC, находясь в исходном открытом состоянии при напряжении на стоке  $U_{1,2} = 0$  собирает заряд только так, что на 10 пс (рис. 6) переходит в инверсное смещение с напряжением на стоке -0.6 В. Затем транзистор  $N_{1,2}$  возвращается в исходное состояние с напряжением 0–0.1 В на узле 1.2 до конца сбора заряда. Длительность нестационарного состояния цепочки инверторов составляет 275 пс. Сумма приращений напряжений на выходных узлах первого 2φ-инвертора  $\Delta U_{1,1} + \Delta U_{2,1} > U_{ИП}$  оказывается достаточной для неполного логического перехода следующего второго 2φ-инвертора только по одному второму выходу 2.2 (рис. 6).

На рис. 7 приведены зависимости импульсов напряжений на узлах инверторов при сборе заряда с трека с точкой входа 2nC в группе Gr1N в область стока транзистора  $N_{1,2}$  (рис. 3) для случая напряжений на входах первого 2φ-инвертора



меньше (табл. 1) при сборе заряда РМОП транзисторами. Генерация заряда и сбор его РМОП транзисторами в *n*-кармане происходит менее интенсивно, чем генерация заряда и сбор его НМОП транзисторами;

3) импульсы напряжения на выходах 2ф-инверторов, следующих за инвертором, собирающим заряд, являются результатом электрического взаимодействия инверторов. Передача импульса по цепочке двухфазных инверторов происходит только для треков с точками входа в стоковые области транзисторов;

4) при линейной передаче энергии на трек 60 МэВ см<sup>2</sup>/мг и менее в случае точек входа трека 1рС или 2рС в сток РМОП транзистора, импульсная помеха возникает только на одном выходе 2ф-инвертора и передается только на один выход следующего инвертора.

При линейной передаче энергии на трек 60 МэВ см<sup>2</sup>/мг и менее в случае точек входа трека 1нС НМОП транзистора, импульсная помеха возникает только на одном выходе 2ф-инвертора и не передается на выход следующего инвертора;

5) при линейной передаче энергии на трек 60 МэВ см<sup>2</sup>/мг импульсные помехи образовывались на двух выходах 2-ф инвертора только при треках с входной точкой 2нС в сток НМОП транзистора и передавались на оба выхода следующих двух инверторов только в случае, если трек с входной точкой 2нС проходил в сток запертого транзистора и когда сумма амплитуд импульсных помех на выходах этого инвертора превышала напряжение питания;

6) длительности нахождения двух первых 2ф-инверторов в нестационарных состояниях с образованием импульсных помех не превышала 120–150 пс при сборе заряда РМОП транзисторами, а при сборе заряда НМОП транзисторами 270–300 пс.

## 5. ЗАКЛЮЧЕНИЕ

Моделирование сбора заряда с трека частицы на основе средств TCAD является виртуальной экспериментальной базой исследования элементов микроэлектронных систем. Использование каскадных цепей двухфазных КМОП инверторов с перекрестными связями входов инверторов позволяет повысить помехоустойчивость микроэлектронных систем к воздействиям одиночных ядерных частиц. Изолирующий слой диоксида кремния по планарной объемной технологии с взаимной изоляцией транзисторов канавками (shallow trench isolation – STI) с заполнением диоксидом кремния, разделяя активные области транзисторов, снижает длину трека, на которой происходит генерация носителей заряда, так и их диффузионный перенос к собирающим заряд

транзисторам. Импульсные помехи максимальны для треков с входной точкой в стоковую область транзистора. Перекрестные связи двухфазных инверторов минимизируют распространение таких помех по цепочке. Треки через слой изолирующего транзисторы диоксида кремния вызывают минимальные импульсные помехи, не влияющие на функционирование цепочки двухфазных инверторов. Разделение заряда с таких треков между собирающими заряд транзисторами соседних двухфазных КМОП инверторов дополнительно снижает импульсные помехи.

## БЛАГОДАРНОСТИ

Работа выполнена в рамках гранта РФФИ № 19-07-00651.

## СПИСОК ЛИТЕРАТУРЫ

1. *Canaris J., Whitaker S.* Circuit techniques for the radiation environment of space // IEEE 1995 Custom Integrated Circuits Conference. 1995. P. 77–80.
2. *Knowles K.R.* Logic architecture for single event upset immunity // US Patent № 6614257 B2, Sep. 2, 2003.
3. *Zhang M., Shanbhag R.* Design of soft error tolerant logic circuits // Proceedings of the Workshop on System Effects of Soft Logic Errors, Univ. of Illinois, USA, Apr. 2005. P. 1–4.
4. *Calin T., Nicolaidis M., Velazco R.* Upset hardened memory design for submicron CMOS technology // IEEE Transactions on Nuclear Science. 1996. V. 43. № 6. P. 2874–2878.
5. *Ольчев С.И., Стенин В.Я.* Двухфазные КМОП логические элементы с повышенной сбоеустойчивостью к воздействию отдельных ядерных частиц // Микроэлектроника. 2011. Т. 40. № 3. С. 170–183.
6. *Катунин Ю.В., Стенин В.Я.* Моделирование эффектов локальных воздействий ядерных частиц на КМОП элементы двухфазной логики с проектными нормами 65 нм // Микроэлектроника. 2012. Т. 41. № 4. С. 262–274.
7. *Катунин Ю.В., Стенин В.Я., Степанов П.В.* Моделирование характеристик триггерных элементов КМОП двухфазной логики с учетом разделения заряда при воздействии отдельных ядерных частиц // Микроэлектроника. 2014. Т. 43. № 2. С. 104–117.
8. *Garg R., Khatri S.P.* Analysis and design of resilient VLSI circuits: mitigating soft errors and process variations. N.Y.: Springer, 2010. P. 194–205.
9. *Катунин Ю.В., Стенин В.Я.* TCAD моделирование эффектов воздействия одиночных ядерных частиц на ячейки памяти STG DICE // Микроэлектроника. 2018. Т. 47. № 1. С. 23–37.
10. *Soft errors in modern electronic systems / Ed. M. Nicolaidis.* N.Y.: Springer, 2011. P. 35–37.

## Simulation of Error Pulses in Two-Phase CMOS Inverters at Charge Collection from the Track of an Ionizing Particle

V. Ya. Stenin<sup>a,b,#</sup> and Yu. V. Katunin<sup>b,##</sup>

<sup>a</sup> National Research Nuclear University MEPHI (Moscow Engineering Physics Institute), Moscow, 115409 Russia

<sup>b</sup> Scientific Research Institute of System Analysis, Russian Academy of Sciences, Moscow, 117218 Russia

<sup>#</sup>e-mail: vystenin@mephi.ru,

<sup>##</sup>e-mail: katunin@cs.niisi.ras.ru

Received January 29, 2019; revised January 29, 2019; accepted February 26, 2019

**Abstract**—Charge collection from the tracks of single ionizing particles by two-phase CMOS inverters with a design norm of 65 nm on two mutually connected channels (phases) forming a chain has been simulated. The occurrence of error pulses caused by charge collection from tracks directed along the normal to the surface of the device part of the crystal has been analyzed. The input points of particle tracks are at the drain areas of transistors or at a distance of 0.3–0.7  $\mu\text{m}$  from them. The durations of error pulses on the nodes of the elements which collecting the charge from the track are from 120 to 300 ps. The amplitudes of pulses relative to the voltage on the power bus or common bus range from 0.05 to 1.0 V. The propagation of noise pulses along the chain of two-phase CMOS inverters occurs only for tracks with entry points into the drain area of transistors. If the linear energy transfer to the track is 60 MeV  $\text{cm}^2/\text{mg}$ , an error pulse can be transferred only to the next inverter if error pulses are formed at two outputs of the two-phase CMOS inverter and the sum of their amplitudes exceeds the supply voltage of the element.

**Keywords:** two-phase inverter, error pulse, simulation, unsteady state, single nuclear particle, failure tolerance, track of a particle

DOI: 10.1134/S2304487X19030143

### REFERENCES

1. Canaris J., Whitaker S., Circuit techniques for the radiation environment of space, IEEE 1995 Custom Integrated Circuits Conference, 1995, pp. 77–80.
2. Knowles K.R., Logic architecture for single event upset immunity, US Patent № 6614257 B2, Sep. 2, 2003.
3. Zhang M., Shanbhag R., Design of soft error tolerant logic circuits, Proceedings of the Workshop on System Effects of Soft Logic Errors, Univ. of Illinois, USA, Apr. 2005, pp. 1–4.
4. Calin T., Nicolaidis M., Velazco R., Upset hardened memory design for submicron CMOS technology, IEEE Trans. Nucl. Sci., 1996, vol. 43, no. 6, pp. 2874–2878.
5. Ol'chev S.I., Stenin V.Ya., CMOS Logic Elements with Increased Failure Resistance to Single-Event Upsets, Russ. Microelectron., 2011, vol. 40, no. 3, pp. 156–169.
6. Katunin Yu.V., Stenin V.Ya., Simulation of the Local Effect of Nuclear Particles on 65-nm CMOS Elements of Two-Phase Logics, Russian Microelectronics, 2012, vol. 41, no. 4, pp. 239–250.
7. Katunin Yu.V., Stenin V.Ya., Stepanov P.V., Modeling the characteristics of trigger elements of two-phase CMOS logic, taking into account the charge sharing effect under exposure to single nuclear particles, Russ. Microelectron., 2014, vol. 43, no. 2, pp. 112–124.
8. Garg R., Khatri S.P., Analysis and design of resilient VLSI circuits: mitigating soft errors and process variations. N.Y.: Springer, 2010, pp. 194–205.
9. Katunin Yu.V., Stenin V.Ya., Simulation of Single Event Effects in STG DICE Memory Cells, Russ. Microelectron., 2018, vol. 47, no. 1, pp. 20–33.
10. Nicolaidis M., Soft Errors in Modern Electronic Systems, N.Y.: Springer, 2011, pp. 35–37.