

## БЛОКИРОВАНИЕ ИМПУЛЬСОВ ПОМЕХ С-ЭЛЕМЕНТОМ В КМОП ДВУХФАЗНЫХ ЦЕПЯХ ПРИ ВОЗДЕЙСТВИИ ОДИНОЧНЫХ ИОНИЗИРУЮЩИХ ЧАСТИЦ

© 2020 г. В. Я. Стенин<sup>1,2,\*</sup>, Ю. В. Катунин<sup>2,\*\*</sup>

<sup>1</sup> *Национальный исследовательский ядерный университет "МИФИ", Москва, 115409, Россия*

<sup>2</sup> *НИИ системных исследований Российской академии наук, Москва, 117218, Россия*

*\*e-mail: vystenin@mephi.ru*

*\*\*e-mail: katunin@cs.niisi.ras.ru*

Поступила в редакцию 22.01.2020 г.

После доработки 22.01.2020 г.

Принята к публикации 25.02.2020 г.

Приводятся результаты моделирования средствами TCAD импульсных помех, возникающих при воздействии одиночных ионизирующих частиц на элементы цепочки из двухфазных КМОП инверторов с С-элементом на двухвходовом инверторе с третьим состоянием. Импульсная помеха на одном из входов С-элемент блокируется, и он хранит последнее выходное логическое состояние на емкости выходного узла. Элементы выполнены по объемной КМОП 65 нм технологии. Анализируются переходные процессы при сборе заряда с треков, направленных по нормали к поверхности кристалла, с точками входа трека как в стоковые области транзисторов, так и на расстоянии 0.3–0.65 мкм от них. При точках входа трека в стоки транзистора помеха возникает только на одном выходе двухфазного инвертора и может влиять только на один вход следующего инвертора или С-элемента. С-элемент переходит в высоко резистивное состояние на выходе независимо от завершенности переходных процессов от помех в цепочке инверторов. Длительность хранения составляет 10–20 нс. Задержка переключения С-элемента 25–40 пс.

*Ключевые слова:* инвертор, импульсная помеха, логический С-элемент, моделирование, одиночная ионизирующая частица

DOI: 10.1134/S2304487X20020133

### 1. ВВЕДЕНИЕ

Проектирование микропроцессорных КМОП СБИС, устойчивых к воздействиям одиночных ядерных частиц, требует особых схемотехнических, топологических и конструктивных мер. Двухфазная логика элементов суб-100 нм цифровых систем позволяет повысить их помехоустойчивость. Двухфазный С-элемент предложен [1] как часть асинхронной логики и получил развитие в методиках проектирования КМОП элементов, устойчивых к одиночным эффектам воздействия ядерных частиц под названиями С-элемент без хранения данных (keeper-less С-element) [1], инвертор с третьим состоянием (tristate inverter gate) [2]. Двухфазный логический С-элемент [1] имеет два входа и один выход. При синфазных входных сигналах С-элемент работает как инвертор, а разные входные сигналы блокирует и хранит последнее логическое состояние на емкости выходного узла или в триггере. С-элементы используются при радиационно-стойком проектировании КМОП элементов [3], а также в триггер-

ных устройствах с резервированием и само-корректированием [4]. Двухфазная логика дает возможность разработки топологии логических элементов с разделением транзисторов на группы, когда воздействие только на одну из них не приводит к сбою данных, а разнесение групп на кристалле повышает сбоеустойчивость. Особенностью двухфазной логики является возможность такого конструирования, при котором возникновение импульсной помехи происходит только в одной фазе [5, 6], что повышает ее помехоустойчивость. Сочетание двухфазных инверторов с С-элементом позволяет блокировать помеху и минимизировать длительность ложного состояния цепочки двухфазных инверторов, а также исключает передачу ложного сигнала на триггерные элементы.

Практический интерес представляет исследование внесения топологических изменений в структуры элементов, снижающих уровень импульсных помех, возникающих при воздействии одиночных частиц. Реальный эксперимент с на-

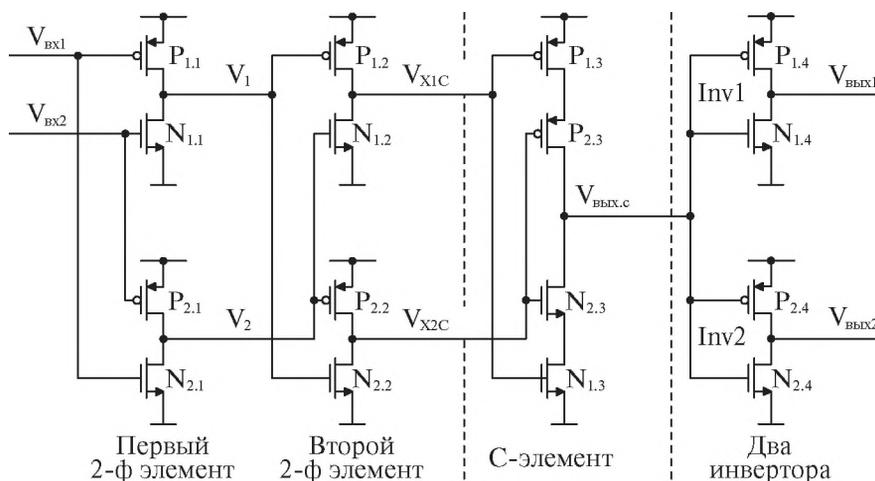


Рис. 1. Цепочка из двух 2ф-инверторов, С-элемента и выходного конвертора на двух обычных инверторах.

блюдением таких процессов в пикосекундном диапазоне времени не осуществим, но виртуальный в виде приборного 3D моделирования средствами TCAD позволяет провести такое исследование.

Цель данной работы – детальное исследование особенностей характеристик КМОП комбинационных логических элементов с минимальными конструктивно-топологическими мерами, дающими заметный результат по повышению помехоустойчивости к воздействиям одиночных ионизирующих частиц.

## 2. ОСОБЕННОСТИ ЦЕПОЧКИ ИЗ ДВУХФАЗНЫХ ИНВЕРТОРОВ И С-ЭЛЕМЕНТА

К двухфазной логике относятся элементы из двух каналов (фаз), только синфазные одинаковые логические сигналы на их входах которых являются информационными. Двухфазный инвертор (2-ф инвертор) с двухфазным выходом является основой двухфазной логики, в частности цепочек (линий) передачи двухфазных сигналов – это логический инвертор с разделенными входами NМОП и РМОП транзисторов. При одинаковых сигналах на входах он передает сигнал как обычный инвертор. На рис. 1 приведена схема цепочки из двух 2ф-инверторов, С-элемента и конвертора в двухфазный сигнал на двух обычных инверторах. Логический С-элемент – это 2ф-инвертор с однофазным выходом и третьим высокорезистивным состоянием на выходе. Для моделирования использованы 2-ф инверторы с перекрестными связями NМОП и РМОП транзисторов как более помехоустойчивые [5, 6]. В тексте и на рисунках напряжения на входах и выходах це-

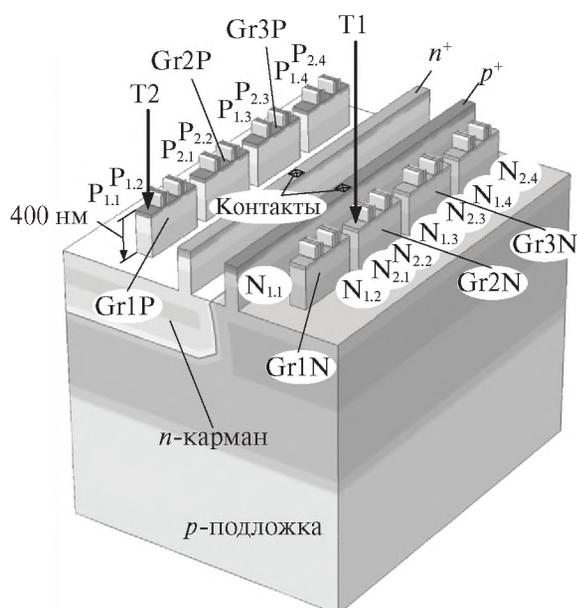
почки обозначены как  $V_{BX1}$ ,  $V_{BX2}$ ,  $V_{ВЫХ1}$ ,  $V_{ВЫХ2}$ , а напряжения на входах и выходе С-элемента как  $V_{BX1C}$ ,  $V_{BX2C}$ ,  $V_{ВЫХ.С}$ .

Приборное моделирование проведено на основе 3D TCAD моделей КМОП транзисторов по объемной 65-нм технологии (с длиной канала 65 нм), приведенных в работе [7].

Эскиз 3D приборной модели части цепочки из двух КМОП 2ф-инверторов и С-элемента приведен на рис. 2. КМОП структура имеет охранные области  $n^+$  и  $p^+$  типа для изоляции областей NМОП от РМОП транзисторов.

Кроме того, имеется изоляция групп транзисторов одного типа проводимости мелкими диэлектрическими канавками (shallow trench isolation – STI), охватывающими кремниевые области групп транзисторов до глубины 400 нм. Для наглядности понимания структуры собирающих заряд кремниевых областей на рис. 2 убрано изображение изоляции транзисторных групп оксидом, охватывающих эти области транзисторов. Активные области КМОП транзисторов, собирающие заряд с трека частицы, на рис. 2 представлены кремниевыми “параллелепипедами”, в верхних частях которых выполнены диффузионные  $pn$ -переходы истоков и стоков транзисторов и их затворы.

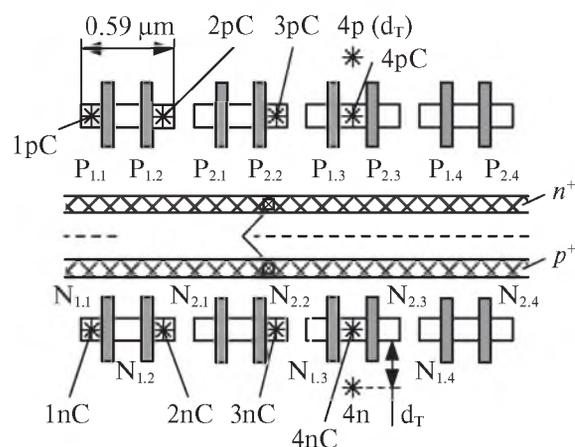
Кремниевые “параллелепеды” приборной структуры на рис. 2 содержат группы из двух транзисторов. В обозначениях групп цифра соответствует номеру группы, а буква N или P – типу канала МОП транзисторов в группе. Первая группа NМОП транзисторов Gr1N включает один транзистор  $N_{1.1}$  из первого 2ф-инвертора и один  $N_{1.2}$  из второго 2ф-инвертора. Вторая группа Gr2N аналогично состоит из двух NМОП транзи-



**Рис. 2.** Эскиз приборной 3D структуры модели, включающей транзисторы двух 2ф-инверторов с С-элементом и 2ф-конвертором;  $n^+$ - и  $p^+$ -области – элементы защитных полос, изолирующих области нахождения N- и PМОП транзисторов; Gr1N – Gr3N, Gr1P – Gr3P группы из двух транзисторов смежных двухфазных инверторов или С-элемента; даны примеры треков с направлениями по нормали к поверхности модели – трек T1 (в область NМОП транзисторов) и трек T2 (в область PМОП транзисторов).

сторов первого  $N_{2,1}$  и второго  $N_{2,2}$  2ф-инверторов (рис. 2). Подобным образом скомпонованы первая Gr1P и вторая Gr2P группы из PМОП транзисторов  $P_{1,1}$ ,  $P_{1,2}$  и  $P_{2,1}$ ,  $P_{2,2}$  первого и второго 2ф-инверторов. Такая компоновка минимизирует одновременный сбор заряда транзисторами одного типа проводимости каждого из 2ф-инверторов и практически исключает возникновение синфазных импульсов помех на двух выходах 2ф-инвертора, которые были бы неотличимы от информационных сигналов. В группах Gr1N, Gr2N, Gr1P и Gr2P объединены пары транзисторов соседних 2ф-инверторов, находящиеся одновременно в разных состояниях (запертом и открытом), которые меняются при смене логических уровней синфазных сигналов  $V_{ВХ1}$ ,  $V_{ВХ2}$  на входах первого 2ф-инвертора в цепочке. Группы Gr3N и Gr3P содержат NМОП и PМОП транзисторы С-элемента.

На рис. 3 приведен эскиз топологии моделируемой цепочки элементов, на котором приведено расположение вариантов точек входа трека, использованных при моделировании и отмеченных маркерами “звездочка”. Это точки 3nC, 4nC и 4n при сборе заряда NМОП транзисторами и 3pC,



**Рис. 3.** Эскиз топологии элемента из двух 2ф-инверторов, С-элемента конвертора на двух обычных инверторах; приведены точки входа треков, отмеченные маркером “звездочка”;  $d_T$  – расстояние точки входа трека 4nC до точки 4nC или точки 4p до точки 4pC.

4pC и 4p при сборе заряда PМОП транзисторами. При точках входов треков, использованных в данной работе, сбор заряда осуществлялся транзисторами первых, вторых, а также третьих групп (рис. 2 и 3) транзисторов. Точки входа с индексом С на рис. 3 являются точками входов треков в стоковые области транзисторов, расположенных в упомянутых группах из двух транзисторов.

Тестовым воздействием принят сбор заряда с трека по нормали к поверхности приборной части структуры. На рис. 2 приведены примеры треков – трек T1 в области NМОП транзисторов и трек T2 в области PМОП транзисторов.

Неравновесные носители заряда, генерируемые вдоль трека, могут образовываться как в кремниевых группах из двух транзисторов, так и в тонком кремниевом слое под изолирующим оксидом, разделяющим группы транзисторов, когда трек проходит вне кремниевых областей, где изготовлены транзисторы. Энергетическая составляющая генерации заряда характеризуется линейной передачей энергии частицей на трек [8] – (linear energy transfer – LET). Результаты исследования получены средствами 3-D TCAD с использованием симулятора Sentaurus Device при температуре 25°C и напряжении питания 1.0 В для КМОП структуры по объемной 65-нм КМОП технологии с шириной каналов транзисторов 150 нм. Трехмерная приборная структура модели имеет размеры 10.9 мкм × 6.4 мкм при толщине подложки 3.0 мкм.

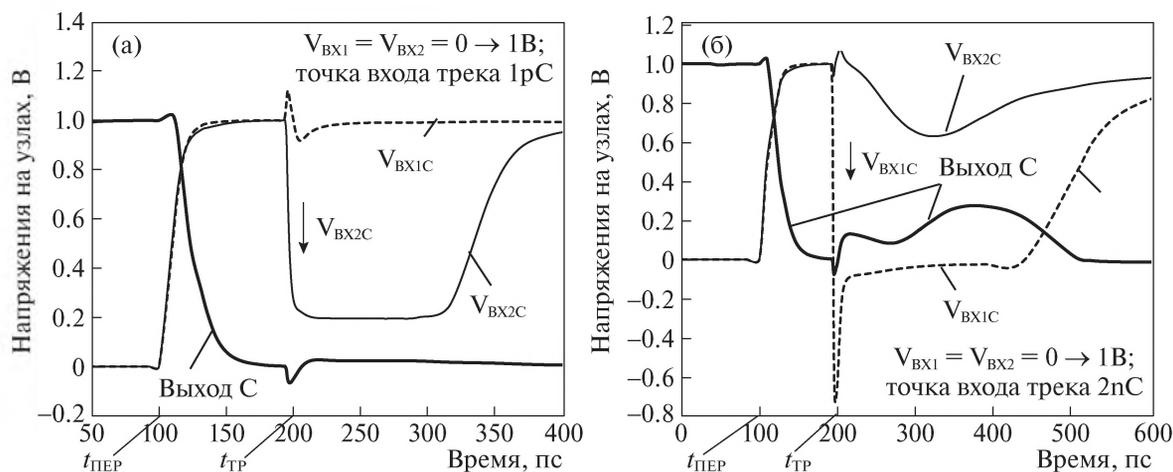


Рис. 4. Зависимости напряжений на узлах С-элемента при сборе заряда с треков по нормали к поверхности при LET = 60 МэВ см<sup>2</sup>/мг для случая переключения цепочки из состояния  $V_{BX1} = V_{BX2} = 0 \rightarrow 1В$ ; точка входа трека 1pC в момент времени 100 пс; образование трека в момент времени 200 пс: (а) точка входа трека 1pC в группе Gr1P; (б) точка входа трека 2nC в группе Gr1N.

### 3. БЛОКИРОВКА С-ЭЛЕМЕНТОМ ИМПУЛЬСОВ ПОМЕХ, ВОЗНИКАЮЩИХ В ПРЕДШЕСТВУЮЩИХ ДВУХФАЗНЫХ ИНВЕРТОРАХ

#### 3.1. Сбор заряда с трека, образованного после переключения двухфазной цепочки по входам из “0” в “1”

В исходном состоянии на обоих входах первого 2ф-инвертора цепочки  $V_{BX1} = V_{BX2} = 0$ . В момент времени  $t_{ПЕР} = 100$  пс входные сигналы цепочки переключаются на  $V_{BX} = V_{BX2} = 1$  В. На рис. 4 приведены зависимости импульсов напряжения на узлах второго 2ф-инвертора и С-элемента для двух вариантов сбора заряда с треков с точками входа 1pC (рис. 4а) и 2nC (рис. 4б). В интервале времени от 100 пс до 150 пс переходный процесс переключения на всех узлах завершается состоянием, соответствующим сигналам  $V_{BX1} = V_{BX2} = 1$  В. Задержки переключения, определяемые по выходу С-элемента на уровне 0.5 В, составили 32–35 пс.

При  $t_{ТРЕК} = 200$  пс возникает трек частицы с LET = 60 МэВ см<sup>2</sup>/мг (рис. 4) и начинается сбор заряда транзисторами. При точке входа трека 1pC образуется импульсная помеха на выходном узле 1.1 первого 2ф-инвертора (рис. 4а) на стоке транзистора P1.1, что вызывает импульс на узле 2.2 на выходе второго 2ф-инвертора при отпирании транзистора N2.2. Импульс отрицательной полярности на узле 2.2, который является и входом С-элемента, переводит С-элемент в высоко резистивное состояние по выходу и режим хранения логического состояния.

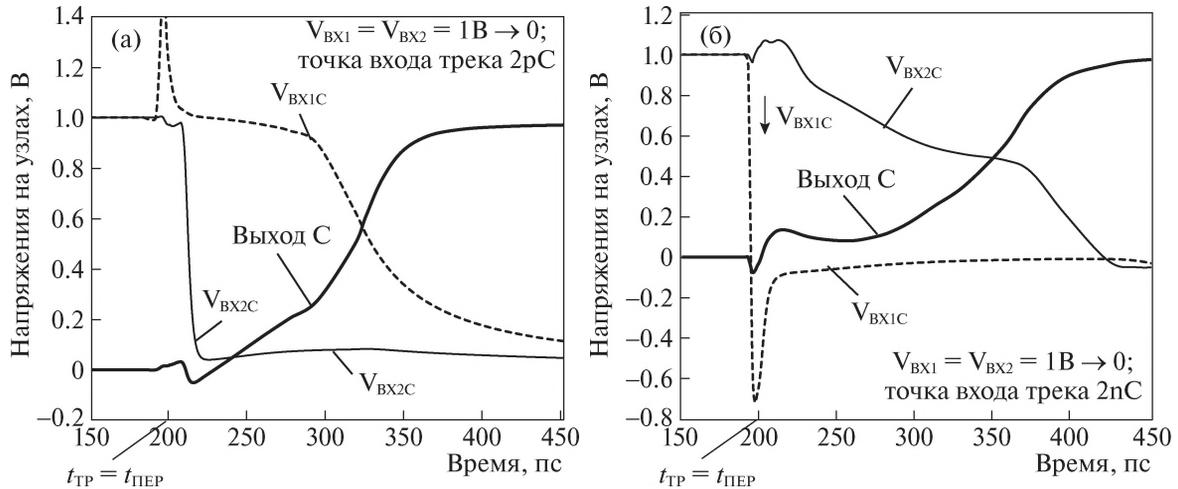
В случае точки входа трека 2nC (рис. 4б) заряд собирает транзистор N1.2 второго 2ф-инвертора

(рис. 1), импульсная помеха возникает на узле 1.2, который является и входом С-элемента, что переводит С-элемент в высоко резистивное состояние по выходу и режим хранения логического состояния. Некоторые колебания на выходе С-элемента V3 при точке входа трека 2nC (рис. 4б) вызваны диффузионным переносом носителей заряда (электронов) с трека 2nC до транзистора N2.2 в группе Gr2N (рис. 2) и возникновением небольшой импульсной помехи на узле 2.2, что является вторым входом С-элемента. В целом это не приводит к изменению логического состояния С-элемента (рис. 4).

С-элемент блокирует передачу импульса помехи, приходящего в виде разности напряжений на его входы, на рис. 4а эта разность составляет  $\Delta V_{ВХ.С} = 0.8$  В, на рис. 4б разность  $\Delta V_{ВХ.С} = 0.65–1.0$  В и отклонение от 0 на выходе не превышает 0.3 В.

#### 3.2. Начало сбора заряда с трека, образованного одновременно с переключением двухфазной цепочки по входам из “1” в “0”

На рис. 5 приведены зависимости напряжений на узлах второго 2ф-инвертора и С-элемента для двух вариантов сбора заряда с треков с точками входа 2pC в группу Gr1P (рис. 5а) и 2nC в группу Gr1N (рис. 5б). В исходном состоянии на входах цепочки напряжения  $V_{BX1} = V_{BX2} = 1$  В. В момент  $t_{ПЕР} = 200$  пс возникает трек частицы при  $t_{ТР} = t_{ПЕР} = 200$  пс и одновременно входные сигналы переключаются на  $V_{BX1} = V_{BX2} = 0$ , что приводит к совмещению процессов сбора заряда транзисторами, который начинается практически мгновенно после возникновения трека, и изменения напряжений на узлах при переключении.



**Рис. 5.** Зависимости напряжений на узлах С-элемента при сборе заряда с треков по нормали к поверхности при  $LET = 60 \text{ МэВ см}^2/\text{мг}$  для случая переключения входов цепочки из  $V_{BX1} = V_{BX2} = 1 \text{ В}$  в  $V_{BX1} = V_{BX2} = 0$  в момент времени 200 пс одновременно с образованием трека: (а) точка входа трека 2рС в группе Gr1P; (б) точка входа трека 2nC в группе Gr1N.

В первом варианте прохождения трека через точку входа 2рС в группу Gr1P транзистор P1.2 открыт до переключения цепочки по входам и сбор заряда с трека в его сток (точка входа 2рС) в момент возникновения трека  $t_{TR} = 200 \text{ пс}$  практически моментально (рис. 5а) переводит его в инверсное смещение с напряжением на стоке  $V_{CT.P1.2} = 1.4 \text{ В}$ . Затем с задержкой 10–15 пс происходит переключение транзисторов первых двух 2ф-инверторов и снижение напряжения на стоках транзисторов P2.2, N2.2 и соответственно (рис. 1) на втором входе С-элемента до  $V_{BX2C} = 0.2 \text{ В}$ . При этом напряжение на стоке транзистора P1.2, находящегося в инверсном смещении, и соответственно на первом входе С-элемента сохраняется около  $V_{BX1C} = 1.0 \text{ В}$  (рис. 5а). При завершении переключения цепочки по входам при  $t_{PER} + t_{зд.PER} = 220 \text{ пс}$  транзистор P1.2 запирается по затвору и оказывается в состоянии, когда все напряжения на его трех выводах: затворе, истоке и стоке равны или близки к значению 1 В. В таком состоянии узел, к которому соединены стоки транзисторов P1.2, N1.2, и первый вход С-элемента начинает медленно разряжаться через открытый NМОП транзистор N1.2, что задерживает переключение С-элемента в состояние логической “1” на выходе, соответствующее входным синфазным сигналам цепочки  $V_{BX1} = V_{BX2} = 0$ .

Во втором варианте прохождения трека через точку входа 2nC в группу Gr1N транзистор N1.2 заперт до переключения цепочки по входам и сбор заряда с трека в его сток (точка входа 2nC) в момент возникновения трека  $t_{TR} = 200 \text{ пс}$  практически моментально (рис. 5б) переводит его в инверсное смещение с напряжением на стоке

$V_{CT.N1.2} = -0.7 \text{ В}$ . После переключения цепочки по входам к напряжениям  $V_{BX1} = V_{BX2} = 0$  транзистор N1.2 сохраняется в переключенном сбором заряда открытом состоянии и напряжение на первом входе С-элемента  $V_{BX1C} = 0 \text{ В}$ . После переключения по входам цепочки транзистор P2.2 второго 2ф-инвертора запирается, транзистор N2.2 того же инвертора открывается и через него начинается разряд узла, объединяющего стоки транзисторов P2.2, N2.2 и второй вход С-элемента (рис. 5б). После снижения напряжения происходит переход С-элемента в состояние логической “1” на выходе, что соответствует входным синфазным сигналам цепочки  $V_{BX1} = V_{BX2} = 0$ . Задержки переключения по выходу С-элемента в обоих случаях составляют 120–160 пс.

#### 4. ОБРАЗОВАНИЕ ИМПУЛЬСОВ ПОМЕХ НА ВЫХОДЕ С-ЭЛЕМЕНТА

Для оценки помехоустойчивости С-элемента использованы треки с точками входов, окружающими С-элемент: 1) точка 3nC в сток N<sub>2,2</sub>; 2) точка 3рС в сток P<sub>2,2</sub>; 3) точка 4nC между NМОП транзисторами С-элемента; 4) точка 4рС между PМОП транзисторами С-элемента. Кроме того, проведена оценка сбора заряда диффузионным “переносом” заряда к группам транзисторов Gr3N и Gr3P через тонкий слой кремния под слоем изолирующего оксида. Для этого использованы 5 точек входа трека с расстояниями от 0.1 до 0.65 мкм от точки 4nC в области NМОП транзисторов, а также 5 точек входа трека с расстояниями 0.1 до 0.65 мкм от точки 4рС в области PМОП транзисторов.

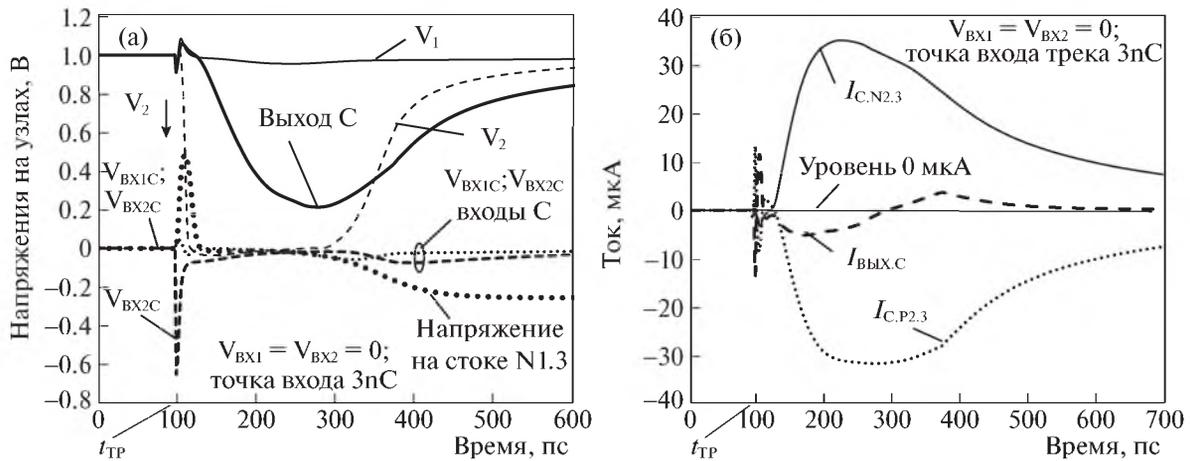


Рис. 6. Зависимости напряжений цепочки из двух 2ф-инверторов, С-элемента и токов на выходе С-элемента при сборе заряда с трека с точкой входа 3пС в группе Gr2N при LET = 60 МэВ см<sup>2</sup>/мг, образование трека в момент времени 98 пс, исходное состояние входов  $V_{BX1} = V_{BX2} = 0$ : (а) напряжения на узлах; (б) токи через узлы С-элемента.

4.1. Сбор заряда с треков с точкой входа 3пС в группе НМОП транзисторов Gr2N

На рис. 6а приведены зависимости напряжений на узлах двух 2ф-инверторов и С-элемента при сборе заряда с трека при LET = 60 МэВ см<sup>2</sup>/мг, напряжения на входах цепочки  $V_{BX1} = V_{BX2} = 0$ . В этом режиме заперты НМОП транзисторы первого 2ф-инвертора и С-элемента (рис. 1), трек подходит через точку 3пС в стоковую область открытого транзистора  $N_{2.2}$  группы Gr2N (рис. 3). Начиная с момента образования трека при  $t = 200$  пс, заряд выводит через обратно смещенные стоковые рп переходы транзистор  $N_{2.1}$  первого 2ф-инвертора и транзисторы С-элемента  $N_{1.3}$  и  $N_{2.3}$ .

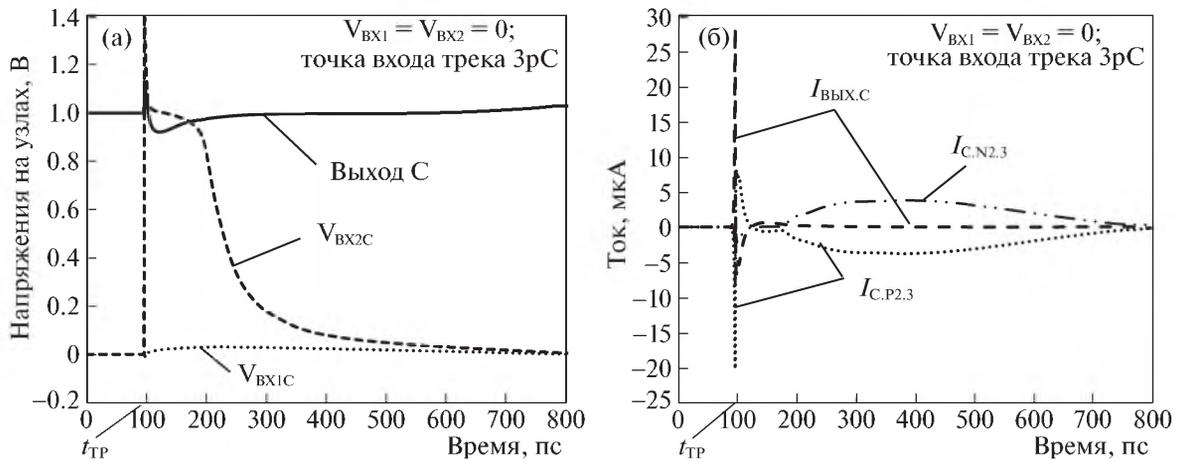
При треке с точкой входа 3пС в группу Gr2N заряд собирает и транзистор  $N_{2.1}$  первого 2ф-инвертора (зависимость помехи  $V_2(t)$  на рис. 6а). Передача этой помехи блокируется делителем напряжения на открытых транзисторах P2.2, N2.2 второго 2ф-инвертора при напряжениях  $V_1 = 1$  В и  $V_2 = 0$  В. На обоих входах С-элемента сохраняются неизменными во время сбора заряда напряжения  $V_{1.2} \approx V_{2.2} \approx 0$ .

Импульс помехи с амплитудой 0.78 В и длительностью 200 пс образуется на выходе С-элемента (рис. 6а) в результате сбора заряда транзисторами  $N_{1.3}$  и  $N_{2.3}$  в группе Gr3N, которая отделена слоем оксида 120 нм от группы Gr2N (рис. 2), через которую проходит трек с точкой входа 3пС. Переход транзистора  $N_{1.3}$  в инверсный режим совпадает с моментом, когда импульс помехи на выходе С-элемента  $V_{ВЫХ.С}(t = 294$  пс) достигает амплитудного значения, после чего напряжение на выходном узле (на стоке транзистора  $N_{2.3}$ ) начинает восстанавливаться до исходного значения логической единицы "1".

На рис. 6б приведены зависимости токов, протекающих через транзисторы выходного узла С-элемента во время сбора заряда, это  $I_{C,P2.3}$ ,  $I_{C,N2.3}$  — токи стоков транзисторов P<sub>2.3</sub>, N<sub>2.3</sub> и  $I_{ВЫХ.С}$  — выходной ток С-элемента, текущий на емкость узла. Амплитудные значения этих токов 32–37 мкА. Выходной ток С-элемента  $I_{ВЫХ.С} = I_{C,N2.3} - I_{C,P2.3}$  определяется разностью токов стоков транзисторов N<sub>2.3</sub> и P<sub>2.3</sub>. Направление (знак) выходного тока и изменение напряжения на выходном узле связаны между собой. При амплитудном значении импульса помехи  $V_{ВЫХ.С}(t = 294$  пс) выходной ток равен нулю  $I_{ВЫХ.С}(t = 294$  пс) = 0. До момента  $t = 294$  пс выходной ток имеет отрицательные значения с экстремумом -5.1 мкА, а напряжение импульса помехи  $V_{ВЫХ.С}(t)$  — отрицательные приращения. После  $t = 294$  пс выходной ток имеет положительные значения с максимумом +3.63 мкА (рис. 6б), а напряжение импульса помехи  $V_{ВЫХ.С}(t)$  — положительные приращения (рис. 6а). При  $t = 500$  пс выходной ток равен +0.91 мкА, и +0.15 мкА при  $t = 750$  пс. Эти значения выходного тока обеспечивают максимальное время хранения данных на выходе С-элемента около 10–20 нс.

4.2. Сбор заряда с треков с точкой входа 3рС в группе РМОП транзисторов Gr2P

С-элемент на основе двухфазного инвертора с третьим состоянием является элементом с динамической памятью на емкости выходного узла, образованной конструктивными емкостями транзисторов, соединенных с выходным узлом. На рис. 7 приведены зависимости напряжений на узлах (рис. 7а) и зависимости токов (рис. 7б), протекающих через выходной узел С-элемента в случае, когда на входах цепочки  $V_{BX1} = V_{BX2} = 0$ , а



**Рис. 7.** Напряжения и токи на узлах С-элемента, исходное состояние входов  $V_{BX1} = V_{BX2} = 0$ , образование трека в момент времени 98 пс, LET = 60 МэВ см<sup>2</sup>/мг, точка входа трека 3pC в группе Gr2P: (а) напряжения на узлах второго 2ф-инвертора и С-элемента; (б) токи выходного узла С-элемента.

трек точкой входа 3pC в группе Gr2P (рис. 2 и 3). С-элемент находится в состоянии логической единицы "1" (рис. 7а). В группе Gr2P транзистор P<sub>2.1</sub> открыт, а транзистор P<sub>2.2</sub> заперт и собирает заряд с трека, проходящего через его стоковую область.

На стоке транзистора P<sub>2.2</sub> и соответственно втором входе С-элемента (рис. 7а) при треке с LET = 60 МэВ см<sup>2</sup>/мг образуется импульс помехи  $V_{BX2C}(t)$  положительной полярности с амплитудой 1 В и длительностью 120 пс, который запирает транзистор P<sub>2.3</sub> С-элемента. Образовавшаяся разность входных сигналов переводит С-элемент в высоко резистивное состояние по выходу в режим хранения предшествующего логического состояния.

Зависимости токов, протекающих через выходной узел С-элемента во время активного сбора заряда с трека от 100 до 700 пс, приведены на рис. 7б, где  $I_{C.P2.3}$ ,  $I_{C.N2.3}$  — токи стоков транзисторов P<sub>2.3</sub> и N<sub>2.3</sub>, а  $I_{ВЫХ.С}$  — выходной ток С-элемента, определяемый разностью токов  $I_{C.P2.3}$  и  $I_{C.N2.3}$ . Выходной ток С-элемента изменяется от +0.18 мкА при 150 пс до -0.4 нА при 380 пс и затем до +40 нА при 750 пс. Напряжение на выходе С-элемента в те же моменты времени: 0.948 В; 0.997 В и 1.019 В сохраняет состояние логической единицы "1".

#### 4.3. Сбор заряда с треков с точками входа 4nC в группе С-элемента Gr3N

С-элемент состоит из двух последовательно соединенных пар НМОП и РМОП транзисторов, которые образуют двухфазный по входам с третьим высоко резистивным выходом при противофазных входных сигналах (рис. 1). Парно НМОП транзисторы и РМОП транзисторы обра-

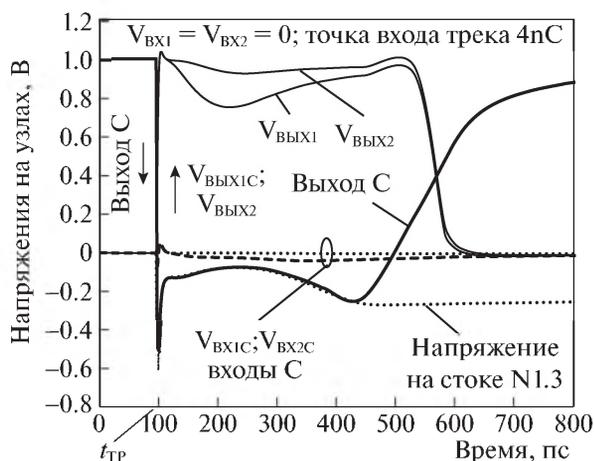
зуют конструктивные группы Gr3N и Gr3P (рис. 2), которые окружены слоем оксида толщиной 400 нм, но имеют связи с другими группами транзисторов того же типа проводимости канала по слою кремния под этим оксидом. На рис. 2 слой оксида вокруг кремниевых "параллелепипедов" удален.

На рис. 8 приведены зависимости напряжений на узлах С-элемента и двух выходных инверторов при сборе заряда с трека по нормали к поверхности при LET = 60 МэВ см<sup>2</sup>/мг и точкой входа 4nC, образование трека в момент времени  $t_{TP} = 100$  пс. Исходное состояние входов цепочки  $V_{BX1} = V_{BX2} = 0$ , при этом в стационарном состоянии напряжение на выходе С-элемента (на стоке транзистора N<sub>2.3</sub>) равно  $V_{ВЫХ.С} = 1$  В. Транзисторы N<sub>1.3</sub> и N<sub>2.3</sub> заперты (рис. 1), а P<sub>2.3</sub> и P<sub>1.3</sub> открыты.

При образовании трека, проходящего через группу Gr3N, транзисторы N<sub>1.3</sub> и N<sub>2.3</sub> начинают выводить с трека электроны через обратно смещенные стоковые pn-переходы на выходной узел С-элемента, понижая напряжение на нем (рис. 8) и образуя импульс помехи  $V_{ВЫХ.С}(t)$ . Заряд, собираемый транзисторами N<sub>1.3</sub> и N<sub>2.3</sub>, переводит транзисторы N<sub>1.3</sub> и N<sub>2.3</sub> в инверсный режим смещения. В противофазе с импульсной помехой на выходе С-элемента изменяются напряжения  $V_{ВЫХ.1}$  и  $V_{ВЫХ.2}$  на выходах инверторов, передающих на выход цепочки ложные сигналы, образованные помехой в С-эlemente.

#### 4.4. Сбор заряда с треков с точками входа вне групп С-элемента Gr3N и Gr3P

Когда трек проходит через изолирующий слой оксида кремния в область транзисторов, заряд на треке образуется в тонком слое кремния под изолирующим слоем оксида. Импульсная помеха на



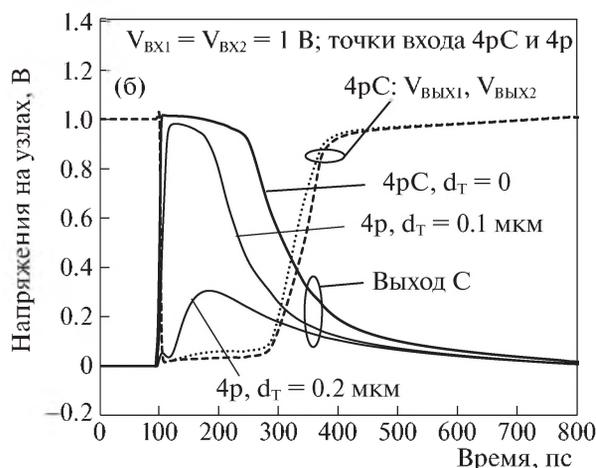
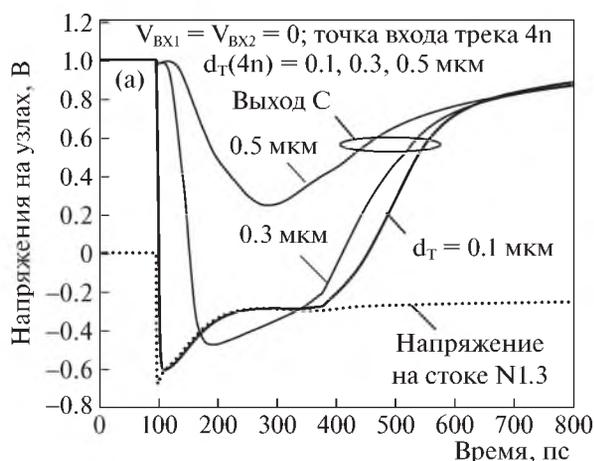
**Рис. 8.** Зависимости напряжений на узлах второго 2Ф-инвертора, С-элемента и выходного конвертора при сборе заряда с трека по нормали к поверхности при LET = 60 МэВ см<sup>2</sup>/мг, образование трека при t<sub>ТР</sub> = 100 пс, состоянии входов цепочки V<sub>ВХ1</sub> = V<sub>ВХ2</sub> = 0: (а) точка входа трека 4nC до группы Gr3N.

выходе С-элемента в этом случае возникает, если заряд в достаточном количестве диффундирует до группы Gr3N (или Gr3P). Моделирование сбора заряда, образующегося в слое кремния в области NМОП транзисторов под изолирующим слоем оксида, и образование импульса помехи на выходе С-элемента проведено для 5 точек входа трека 4n с расстояниями d<sub>T</sub> = 0.1, 0.2, 0.3, 0.5 и 0.65 мкм от них до границы группы Gr3N (рис. 3). Для области PМОП транзисторов моделирование проведено также для 5 точек входа трека 4p с теми же расстояниями d<sub>T</sub> до группы Gr3P (рис. 3).

На рис. 9а приведены зависимости напряжений на выходах С-элемента для случая, когда точка входа трека 4n проходит на расстояниях d<sub>T</sub> = 0.1, 0.3, 0.5 мкм (рис. 3) от группы транзисторов Gr3N, которые собирают заряд, диффундирующий к ним по тонкому слою кремния под оксидом. Диффузионный процесс переноса неосновных носителей заряда обуславливает инерционность нарастания фронта импульса помехи на рис. 9а для d<sub>T</sub> = 0.3, 0.5 мкм по сравнению со случаями, когда точка входа трека 4nC входит непосредственно в группу транзисторов Gr3N (рис. 8) либо находится близко на расстоянии d<sub>T</sub> = 0.1 мкм (рис. 9а).

На рис. 9б приведены зависимости напряжений на выходах С-элемента для случая, когда точка входа трека 4pC проходит непосредственно через область группы Gr3P, а также через точку 4p на расстояниях d<sub>T</sub> = 0.1, 0.2 мкм (рис. 3) от группы транзисторов Gr3P, которые собирают заряд, диффундирующий по слою кремния под изолирующим оксидом.

Итоговые результаты моделирования для всех входов трека через изолирующий слой оксида толщиной 400 нм приведены на рис. 10 в виде зависимостей амплитуд и длительностей импульсов помех на выходе С-элемента как функции координаты d<sub>T</sub> точек входа трека 4n и 4p при LET = 60 МэВ см<sup>2</sup>/мг. Зависимости для области NМОП транзисторов получены при напряжениях на входах цепочки V<sub>ВХ1</sub> = V<sub>ВХ2</sub> = 0, а для области PМОП транзисторов при V<sub>ВХ1</sub> = V<sub>ВХ2</sub> = 1 В для случаев изначально запертых транзисторов в группе Gr3N либо Gr3P, которые собирали заряд, дошедший от трека.



**Рис. 9.** Зависимости напряжений на выходе С-элемента и выходах конвертора на обычных инверторах при сборе заряда с треков по нормали к поверхности при LET = 60 МэВ см<sup>2</sup>/мг, образование трека при t<sub>ТР</sub> = 100 пс, на входах цепочки V<sub>ВХ1</sub> = V<sub>ВХ2</sub> = 0: (а) точки входа трека 4n при расстояниях d<sub>T</sub> = 0.1, 0.3, 0.5 мкм до группы Gr3N; (б) точки входа трека 4pC и 4p при расстояниях d<sub>T</sub> = 0.1, 0.2 мкм до группы Gr3P.

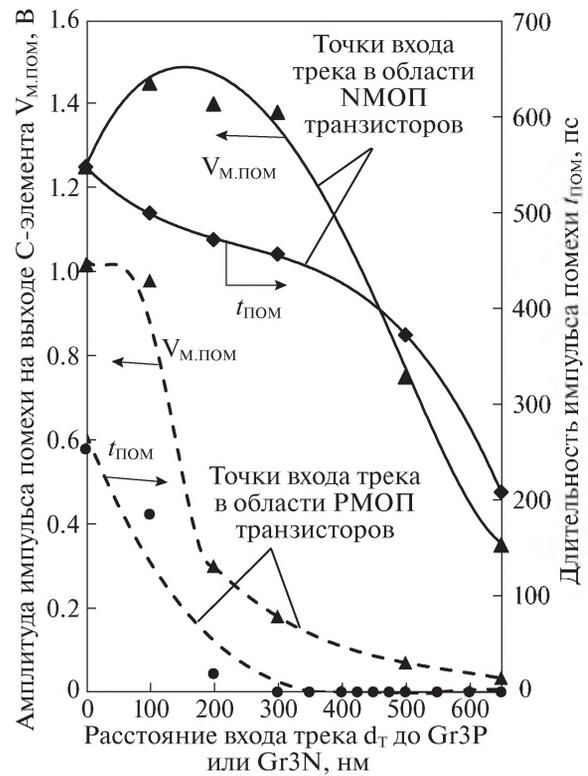
Длительности импульсов помех определены на уровне 0.3 В от пьедестала импульса. Данные для точек 4nC и 4pC приведены при нулевой координате  $d_T = 0$ . Сплошными линиями даны зависимости для треков с точками входа в области NМОП транзисторов, штриховыми линиями – для области PМОП транзисторов. Диффузионный перенос заряда от треков с линейной передачей энергии 60 МэВ см<sup>2</sup>/мг приводит к помехам на выходе С-элемента с амплитудой 1–1.4 В, если расстояние  $d_T$  от точки входа трека 4n до границы группы NМОП транзисторов Gr3N не превышает 400 нм, и 1 В для области PМОП транзисторов, если расстояние  $d_T$  до границы группы Gr3P не превышает 100 нм (рис. 10). При удалении точек входа трека 4n и 4p от границ групп амплитуды и длительности импульсных помех на выходе С-элемента снижаются, причем существеннее для сбора заряда в области PМОП транзисторов.

## 5. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ

Логический С-элемент в цепочке двухфазных элементов останавливает передачу импульса дифференциальной помехи, переходя в высоко резистивное состояние по выходу и сохраняя на выходе предыдущее логическое состояние. Блокировка передачи снимается при восстановлении на входах С-элемента синфазных сигналов.

В таблице 1 приведены значения амплитуд и длительностей импульсов помех на узлах 2ф-инверторов, блокируемые С-элементом при сборе заряда с треков при LET = 60 МэВ см<sup>2</sup>/мг.

Трек, проходящий через стоковую область транзистора, вызывает импульсную помеху с амплитудой от 0.82 В до 1 В только на одном из двух выходов 2ф-инвертора, что приводит к временному изменению логического уровня этого узла. При этом длительность импульсов помех, приводящих 2ф-инверторы в нестационарные состоя-



**Рис. 10.** Амплитуды и длительности импульсов помех на выходе С-элемента в зависимости от расстояния  $d_T$  от точки входа трека в области NМОП транзисторов до группы Gr3N (сплошные линии), а также от точки входа трека в области PМОП транзисторов до группы Gr3P (штриховые линии) при LET = 60 МэВ см<sup>2</sup>/мг.

ния, не превышает 270–310 пс при сборе заряда NМОП транзисторами и 75–210 пс при сборе заряда PМОП транзисторами. В таблице рядом со значениями амплитуды и длительности помехи помещено обозначение транзистора, собиравшего заряд с трека, на стоке которого образована по-

**Таблица 1.** Значения амплитуд и длительностей импульсных помех на узлах первого и второго 2ф-инверторов, блокируемые С-элементом при сборе заряда с треков с направлением по нормали к поверхности приборной модели при LET = 60 МэВ см<sup>2</sup>/мг

Точка входа трека	1nC	2nC	3nC	1pC	2pC	3pC
Амплитуда и длительность помехи ( $V_{BX1} = V_{BX2} = 0$ )	1.0 В	1.0 В	1.0 В	0.84В	1.0 В	1.0 В
	305 пс	300 пс	270 пс	78 пс	140 пс	140 пс
	$N_{1,1}$	$N_{1,1}$	$N_{2,1}$	$P_{1,2}$	$P_{1,2}$	$P_{2,2}$
Амплитуда и длительность помехи ( $V_{BX1} = V_{BX2} = 1В$ )	1.0 В	1.0 В	1.0 В	1.0 В	0.84 В	0.82 В
	300 пс	300 пс	310 пс	210 пс	75 пс	90 пс
	$N_{1,2}$	$N_{1,2}$	$N_{2,2}$	$P_{1,1}$	$P_{1,1}$	$P_{2,1}$

межа; длительность помехи определена на уровне 0.5 В.

Результаты моделирования импульсных помех, возникающих при сборе заряда с треков одиночных частиц при линейной передаче энергии на трек 60 МэВ см<sup>2</sup>/мг, следующие:

1) При линейной передаче энергии на трек 60 МэВ см<sup>2</sup>/мг в случае точек входа трека в сток или исток ЛМОП или РМОП транзистора, импульсная помеха возникает только на одном выходе 2ф-инвертора и может влиять только на один вход следующего 2ф-инвертора или С-элемента. Импульсы напряжения на выходах 2ф-инверторов, следующих за инвертором, собирающим заряд, являются результатом электрического взаимодействия инверторов.

2) С-элемент переходит в третье высоко резистивное состояние по выходе при нарушении синфазности его входных сигналов, фиксируя свое логическое состояние независимо от завершения переходных процессов от импульсных помех в цепочке предшествующих двухфазных инверторов.

3) Хранение логического состояния С-элементом осуществляется за счет динамического сохранения напряжения на емкости его выходного узла при переходе выхода С-элемента в высоко резистивное состояние на выходе. Длительность хранения логического состояния ограничена значениями выходного тока С-элемента, разряжающей емкость выходного узла, и составляет 10–20 нс в случае объемной технологии 65 нм КМОП.

4) Задержка переключения логического состояния С-элемента при его синфазном переключении по входам в случае объемной технологии 65 нм КМОП составляет 25–40 пс. При совпадении моментов прихода синфазных сигналов на переключение двухфазного инвертора в цепочке и начала сбора заряда с трека инверторов происходит увеличение задержки переключения С-элемента до 120–160 пс в связи с совмещением переходных процессов переключения и реакции на импульсную помеху С-элемента.

5) При сборе заряда с трека непосредственно транзисторами С-элемента на его выходе может формироваться импульс помехи как при прохождении трека через области истоков и стоков ЛМОП или РМОП транзисторов, так и при точках входа трека, проходящих на расстояниях до 150 нм для РМОП транзисторов и до 400 нм для ЛМОП транзисторов от границ групп транзисторов С-элемента. В зависимости от амплитуды и длительности импульс помехи на выходе С-элемента может являться ошибочным выходным логическим сигналом, который будет передаваться и восприниматься последующими элементами.

## 6. ЗАКЛЮЧЕНИЕ

Моделирование сбора заряда с трека частицы на основе средств ТСАД в пикосекундном диапазоне времен является виртуальной экспериментальной базой исследования элементов микроэлектронных систем. Результаты проведенного исследования позволяют оценить возможности кремниевой объемной 65-нм КМОП технологии для разработки элементной базы высокопроизводительных микропроцессорных систем, предназначенных для космического применения. Моделирование эффектов при сборе заряда с треков одиночных частиц служит основой для оценки ограничений по использованию конкретной технологии при проектировании и изготовлении новой элементной базы для данного класса систем.

## БЛАГОДАРНОСТИ

Исследование выполнено при финансовой поддержке РФФИ в рамках научного проекта № 19-07-00651.

## СПИСОК ЛИТЕРАТУРЫ

1. *Muller D.E., Bartky W.S.* A theory of asynchronous circuits // Proceedings of International Symposium on the theory of switching, Cambridge, M.A.: Harvard Univ. Press, 1959. P. 204–243.
2. *Baker R.J.* CMOS circuit design, layout, and simulation (IEEE Press Series on Microelectronic Systems). — Hoboken, New Jersey: John Wiley & Sons, Inc., 2010. P. 351.
3. *Hao P., Chen S., Huang P., Chen J., Liang B.* A novel SET mitigation technique for clock distribution networks // IEEE Transactions on Device and Materials Reliability. 2018. V. 18. P. 1–8.
4. *Ramamurthy C., Gujja A., Vashishtha V., Chellappa S., Clark L.T.* Muller C-element self-corrected triple modular redundant logic with multithreading and low power modes // in IEEE Xplore (Conference Section, RA-DECS-2017), e-book, 2019. P. 184–187.
5. *Katunin Yu.V., Stenin V.Ya.* Noise immunity of a 28-nm two-phase CMOS combinational logic to transient effects of single nuclear particles // Russian Microelectronics. 2015. V. 44. № 4. P. 255–262.
6. *Стенин В.Я., Катунин Ю.В.* Моделирование импульсных помех в двухфазных КМОП инверторах при сборе заряда с трека ионизирующей частицы // Вестник НИЯУ МИФИ. 2019. Т. 8. № 3. С. 274–282.
7. *Garg R., Khatri S.P.* Analysis and design of resilient VLSI circuits: mitigating soft errors and process variations. New York: Springer, 2010. P. 194–205.
8. Soft errors in modern electronic systems / Editor M. Nicolaidis. New York: Springer, 2011. P. 35–37.

## Use of a C-Element in Chains of Two-Phase CMOS Inverters to Block Noise Pulses Induced by Single Ionizing Particles

V. Ya. Stenin<sup>a,b,#</sup> and Yu. V. Katunin<sup>b,##</sup>

<sup>a</sup> National Research Nuclear University MEPHI (Moscow Engineering Physics Institute), Moscow, 115409 Russia

<sup>b</sup> Scientific Research Institute of System Analysis, Russian Academy of Sciences, Moscow, 117218 Russia

<sup>#</sup>e-mail: [vystenin@mephi.ru](mailto:vystenin@mephi.ru)

<sup>##</sup>e-mail: [katunin@cs.nisi.ras.ru](mailto:katunin@cs.nisi.ras.ru)

Received January 22, 2020; revised January 22, 2020; accepted February 25, 2020

**Abstract**—The TCAD simulation of noise pulses caused by the action of single ionizing particles on the elements of a chain of two-phase CMOS inverters with a C-element on a two-input inverter with the third state has been reported. A noise pulse on one of the inputs of the C-element is blocked, and the C-element stores the last output logical state on the capacitor of the output. The elements are modeled using the 65-nm CMOS bulk technology. Transient processes accompanying the collection of charge from tracks directed along the normal to the crystal surface, with the input points both in the drain area of transistors and at a distance of 0.3–0.65  $\mu\text{m}$  from them have been analyzed. In the case of a track passing through a transistor drain or nearby, interference occurs only on one output of a two-phase inverter and can affect only one input of the next inverter or C-element. The C-element transits to a highly resistive state at the output to store its logical state regardless of the completion of transients in the inverter circuit. The duration of storage is 10–20 ns. The C-element switching delay is 25–40 ps.

**Keywords:** inverter, noise pulse, logical C-element, simulation, single ionizing particle, transient process

DOI: 10.1134/S2304487X20020133

### REFERENCES

1. Muller D.E., Bartky W.S. A theory of asynchronous circuits // in *Proceedings of International Symposium on the Theory of Switching*, Cambridge, M.A.: Harvard Univ. Press, 1959, pp. 204–243.
2. Baker R.J. *CMOS Circuit Design, Layout, and Simulation* (IEEE Press Series on Microelectronic Systems). — Hoboken, New Jersey: John Wiley & Sons, Inc., 2010, p. 351.
3. Hao P., Chen S., Huang P., Chen J., Liang B. A novel SET mitigation technique for clock distribution networks // *IEEE Transactions on Device and Materials Reliability*, 2018, v. 18, pp. 1–8.
4. Ramamurthy C., Gujja A., Vashishtha V., Chellappa S., Clark L.T. Muller C-element self-corrected triple modular redundant logic with multithreading and low power modes // in *the RADECS-3017 Conference Papers*, in *IEEE Xplore (Conference Section, RADECS-3017)*, e-book, 2019, pp. 184–187.
5. Katunin Yu.V., Stenin V.Ya. Noise immunity of a 28-nm two-phase CMOS combinational logic to transient effects of single nuclear particles // *Russian Microelectronics*, 2015, v. 44, no. 4, pp. 255–262.
6. Stenin V.Ya., Katunin Yu.V. Modelirovanie impul'snyh pomekh v dvuhfaznyh KMOP invertorah pri sbore zaryada s treka ioniziruyushchej chasticy (Simulation of noise pulses in two-phase CMOS inverters when collecting charge from an ionizing particle track) // *Vestnik NIYaU MIFI*, 2019, vol. 8, no. 3, pp. 274–282.
7. Garg R., Khatri S.P. *Analysis and design of resilient VLSI circuits: mitigating soft errors and process variations*. New York: Springer, 2010, pp. 194–205.
8. *Soft errors in Modern Electronic Systems* / M. Nicolaidis, Ed. New York: Springer, 2011, pp. 35–37.