

КОРРЕКЦИЯ ДЛИТЕЛЬНОСТИ ИМПУЛЬСОВ ПОМЕХ В КМОП КОМБИНАЦИОННЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ ПРИ СБОРЕ ЗАРЯДА С ТРЕКОВ ОДИНОЧНЫХ ЧАСТИЦ

© 2020 г. В. Я. Стенин^{1,2,*}, Ю. В. Катунин^{2,**}

¹ Национальный исследовательский ядерный университет “МИФИ”, Москва, 115409, Россия

² НИИ системных исследований Российской академии наук, Москва, 117218, Россия

*e-mail: vystenin@mephi.ru

**e-mail: katunin@cs.niisi.ras.ru

Поступила в редакцию 28.02.2020 г.

После доработки 28.02.2020 г.

Принята к публикации 28.04.2020 г.

В работе приводятся результаты моделирования средствами 3D-TCAD импульсных помех, возникающих на выходах комбинационных КМОП элементов в составе мажоритарного элемента при сборе заряда с треков одиночных ионизирующих частиц. Даны оценки длительности импульсов помех и их уменьшения в логических элементах по КМОП 65-нм объемной технологии с неглубокой траншейной изоляцией (shallow trench isolation) групп транзисторов. Моделирование проведено при линейной передаче энергии частицей на трек 60 МэВ см²/мг. Когда заряд с трека частицы собирают запертые транзисторы элементов И-НЕ (ИЛИ-НЕ), то они переходят в открытое состояние (в частности, в инверсное смещение). Это образует импульс помехи на узле И-НЕ (ИЛИ-НЕ), который запирает транзистор выходного инвертора элемента И (ИЛИ). Запертый транзистор инвертора, собирая заряд с того же трека, может компенсировать часть длительности импульса при передаче его на выход элемента И (ИЛИ). Дублирование инвертора расположением основных и дополнительных транзисторов инвертора на граничных сторонах топологических групп транзисторов И-НЕ (ИЛИ-НЕ) способствует снижению длительности помех при сборе заряда с трека одиночной частицы. С учётом коррекции, длительности импульсов помех, возникающих в мажоритарном элементе, находятся в диапазоне 50–300 пс.

Ключевые слова: импульс помехи, комбинационный элемент, мажоритарный элемент, моделирование, одиночная ионизирующая частица, передача энергии, трек частицы

DOI: 10.1134/S2304487X20020145

1. ВВЕДЕНИЕ

КМОП комбинационные логические элементы являются основой кодирующих, декодирующих устройств и мажоритарной логики. Результатом воздействия одиночных ионизирующих частиц на логические элементы является импульсная помеха на выходе элемента [1], вызванная временным изменением логического состояния (single event transient – SET) элемента. Моделирование эффектов воздействия одиночных ионизирующих частиц с применением приборных физических моделей (physics-based device models) как двумерных (2D), так и трехмерных (3D) посвящен ряд работ [2–4], в которых был, например, установлен моделированием [2] эффект перехода КМОП транзисторов КМОП инвертора с проектной нормой 0.18 мкм по объемной технологии в инверсный режим смещения при LET > 3 МэВ см²/мг с увеличением длительности импульса помехи до

300–500 пс при LET = 30 МэВ см²/мг; предсказано [3] существенное снижение помехоустойчивости КМОП логики по объемной технологии до уровня линейной передачи энергии частицы на трек (linear energy transfer – LET) 2 МэВ см²/мг при снижении проектной нормы до 100 нм КМОП. Систематизированы физические, схемные, технологические и конструктивные результаты исследований [4] которые направлены на учет и подавление импульсов помех, приводящих к ложным сигналам в цепях микросхем. При проектных нормах менее 100 нм КМОП заметно проявилось влияние диффузионного переноса носителей заряда, индуцированных на треке, на транзисторы смежных элементов [5]. При этом общий сбор заряда может снизить длительности импульсных помех (effect of quenching), что было показано в работах [6, 7]. Этот эффект использован при разработке топологии КМОП элементов де-

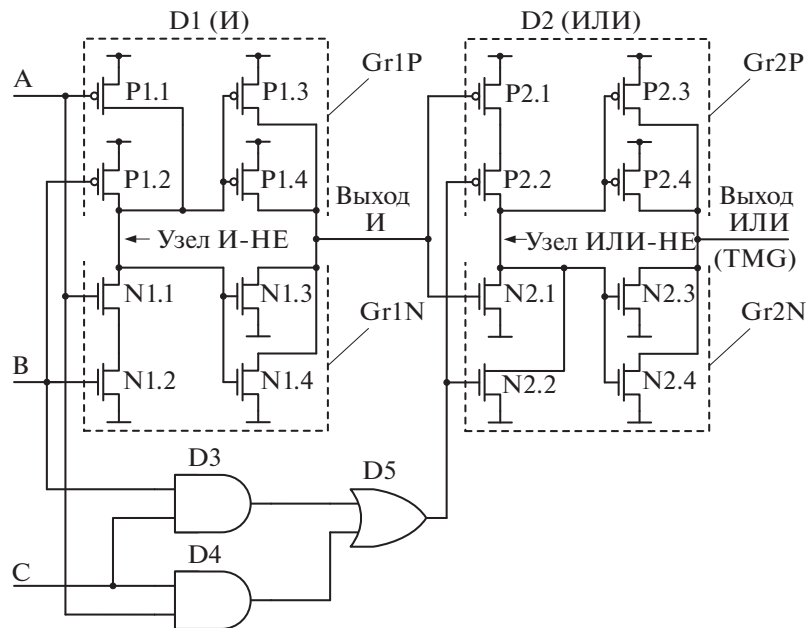


Рис. 1. Схема мажоритарного элемента на логических И (D1–D3) и ИЛИ (D4) элементах.

кодеров буфера ассоциативной трансляции [8] микропроцессора с повышенной помехоустойчивостью к воздействиям одиночных частиц.

Показано [9], что КМОП тройной мажоритарный элемент (Triple Majority Gate – TMG) на основе элементов И-НЕ при топологии с чередованием транзисторов последовательно соединенных элементов И-НЕ имеет улучшенную помехоустойчивость по сравнению со стандартным вариантом топологии. Установлены [10] основные характеристики тройного мажоритарного элемента (TMG) на основе элементов И и ИЛИ с проектной нормой объемный 65-нм КМОП, и подтверждена возможность коррекции импульсов помех совместным расположением транзисторов элементов И (ИЛИ) в группы, изолированные от других групп мелкой траншейной оксидной изоляцией (shallow trench isolation – STI).

Целью данной работы является моделирование средствами TCAD базовых элементов с логикой И и ИЛИ в составе мажоритарного элемента по проектной норме объемный 65-нм КМОП с мелкой траншейной изоляцией транзисторов для получения количественных оценок длительностей импульсов помех и реальных процессов по их коррекции при сборе заряда с трека одиночной частицы как основы рекомендаций для проектирования комбинационной логики с наноразмерными проектными нормами для быстродействующих высокопроизводительных систем с цепями кодирования-декодирования и резервирования потоков данных.

2. МОДЕЛИРОВАНИЕ КМОП МАЖОРИТАРНОГО ЭЛЕМЕНТА

2.1. Схема и конструкция мажоритарного элемента на элементах И и ИЛИ

На рис. 1 приведена функциональная схема мажоритарного элемента TMG из трех двухвходовых КМОП элементов D1, D3, D4 с логикой И и двух D2, D5 двухвходовых КМОП элементов ИЛИ. Элементы D1, D2 на рис. 1 представлены электрическими схемами. Первая цифра в обозначениях транзисторов, например, N1.2 соответствует номеру логического элемента D1 (И) и D2 (ИЛИ) на рис. 1, а вторая – номеру транзистора в элементах И и ИЛИ.

Элемент И (D1 на рис. 1) состоит из логического элемента И-НЕ на транзисторах N1.1, N1.2, P1.1, P1.2 и инвертора на транзисторах N1.3, N1.4 и P1.3, P1.4. Внутренний узел И-НЕ является выходом элемента И-НЕ и входом инвертора. Элемент ИЛИ (D2 на рис. 1) состоит из элемента ИЛИ-НЕ на транзисторах N2.1, N2.2, P2.1, P2.2 и инвертора на транзисторах N2.3, N2.4, P2.3, P2.4. Выход элемента ИЛИ-НЕ является внутренним узлом элемента ИЛИ и входом инвертора. Элемент И состоит из двух групп транзисторов, одна группа Gr1N из NМОП транзисторов, а вторая Gr1P из PМОП транзисторов (рис. 1). Аналогично элемент ИЛИ состоит из двух групп транзисторов: группа Gr2N из NМОП транзисторов и группа Gr2P из PМОП транзисторов.

На рис. 2 приведены эскизы топологии КМОП комбинационных элементов с логикой И (рис. 2а) и с логикой ИЛИ (рис. 2б). Области кремния, в ко-

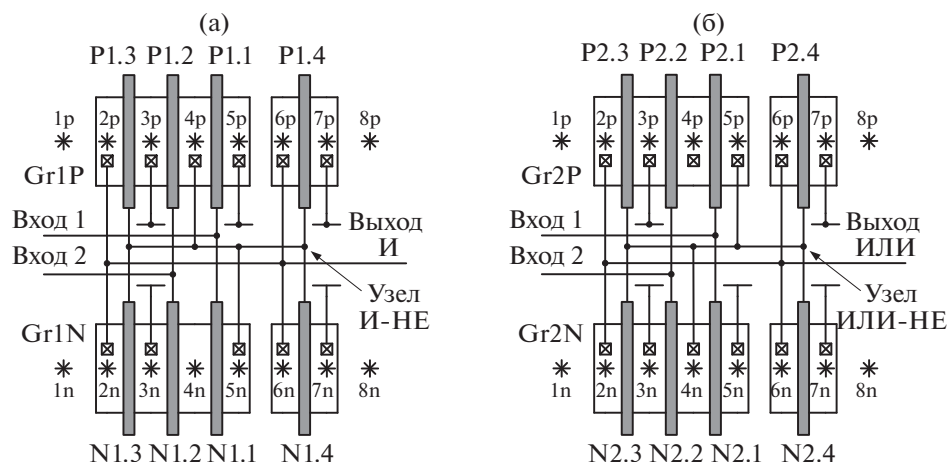


Рис. 2. Эскизы топологии комбинационных элементов: (а) с логикой И; (б) с логикой ИЛИ; области кремния, в которых выполнены МОП транзисторы, ограничены прямоугольниками, которые окружены мелкой траншейной изоляцией диэлектриком (диоксидом кремния) глубиной 400 нм; полосы со штриховкой обозначают затворы транзисторов, звездочками отмечены точки входа трекв одиночных частиц.

торых выполнены МОП транзисторы, ограничены прямоугольниками, которые окружены мелкой траншейной изоляцией диэлектриком (диоксидом кремния) глубиной 400 нм. Полоски со штриховкой обозначают затворы транзисторов, звездочками отмечены точки входа трекв одиночных частиц. Транзисторы инвертора элементов И и ИЛИ продублированы так, что NМОП транзисторы N1.3 и N1.4 в элементе И (рис. 2а), а также транзисторы N2.3 и N2.4 в элементе ИЛИ (рис. 2б), конструктивно расположены симметрично с разных сторон от NМОП транзисторов элемента И-НЕ в группе Gr1N и в группе Gr2N элемента ИЛИ-НЕ. Аналогично расположены пары РМОП транзисторов P1.3 и P1.4 и P2.3 и P2.4 с разных сторон от РМОП транзисторов элемента И-НЕ в группе Gr1P (рис. 2а) и элемента ИЛИ-НЕ в группе Gr2P (рис. 2б). Это сделано с целью повышения эффективности коррекции импульсов помех, возникающих при сборе заряда с трека при разном удалении точек входа трекв от транзисторов инвертора.

2.2. Особенности моделирования сбора заряда с трека частицы

В работе проведено гибридное TCAD-SPICE моделирование КМОП мажоритарного элемента (рис. 1), при котором средствами TCAD моделировались процессы генерации носителей заряда при передаче им энергии с трека в кремнии и процессы сбора заряда транзисторами в элементах D1 (И) и D2 (ИЛИ). Средствами SPICE моделировались характеристики двух элементов И (D3, D4) и элемента ИЛИ D3, которые обеспечивали передачу сигналов на вход элемента ИЛИ D2.

Моделирование сбора транзисторами заряда с трекв одиночных частиц проведено с использованием 3D TCAD физических моделей КМОП транзисторов [11] по проектной норме 65-нм КМОП объемной технологии. Как тестовое воздействие принят сбор заряда с трека, направленного по нормали к поверхности приборной части модели элемента. Звездочками на рис. 2 отмечены точки входа трекв частиц в стоковые и истоковые области транзисторов. Ширина каналов всех транзисторов элементов И и ИЛИ равна 400 нм. Конструкции элементов И и ИЛИ состоят из транзисторов, выполненных в кремниевых областях, окруженных мелкой траншейной изоляцией с глубиной 400 нм (shallow trench isolation — STI). Области NМОП и РМОП транзисторов разделены охранными полосами, изолирующими эти области и служащие для вывода неравновесных зарядов на шину питания и общую шину.

Полные размеры 3D приборной структуры составляют 6.4 мкм × 10.9 мкм при толщине подложки 3.0 мкм. Энергетическая составляющая генерации заряда на треке характеризуется линейной передачей энергии частицей на трек [1] — (linear energy transfer — LET). При моделировании использовались треки с LET = 60 МэВ см²/мг. Результаты 3D TCAD моделирования получены с использованием симулятора Sentaurus Device при температуре 25°C и напряжении питания 1.0 В.

3. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ ИМПУЛЬСНЫХ ПОМЕХ, ОБРАЗУЮЩИХСЯ В ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ

Алгоритм работы тройного мажоритарного элемента на рис. 1 заключается в сравнении трех входных сигналов и образовании выходного сиг-

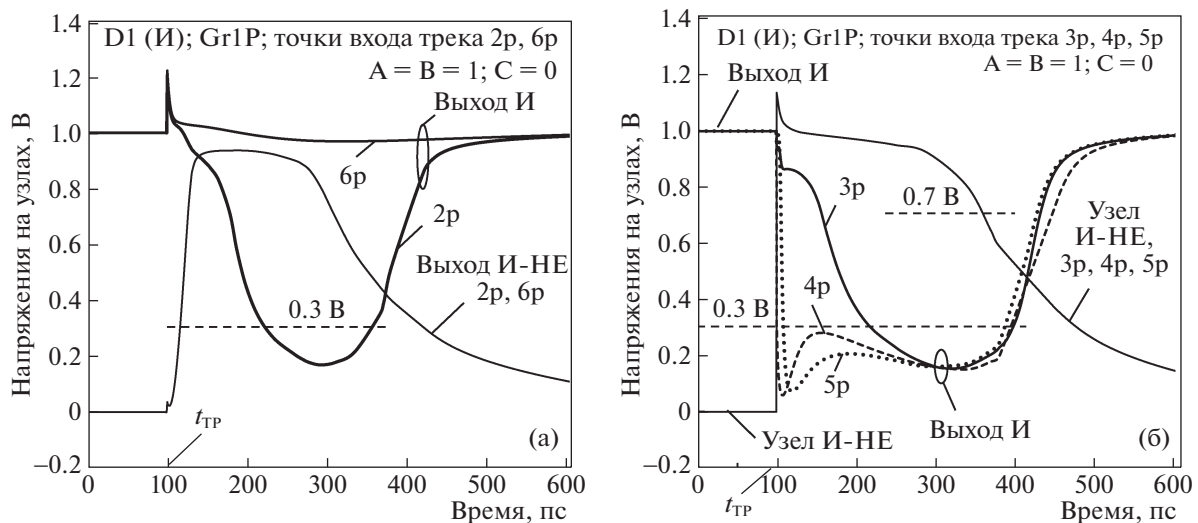


Рис. 3. Зависимости напряжений на узлах элемента И при сборе заряда с треков с точками входа в группу Gr1P, линейная передача энергии на трек LET = 60 МэВ см²/мг, образование трека при $t_{\text{ТР}} = 100$ пс, на TMG входах $A = B = 1$, $C = 0$: (а) точки входа трека 2р, 6р в транзисторы инвертора; (б) точки входа трека 3р, 4р и 5р в транзисторы группы И-НЕ.

нала, который соответствует совпадению как минимум двух входных сигналов из трех. Тогда эти два сигнала управляют правильным переключением только одного из трех элементов И. Соответственно для получения достоверных данных о влиянии сбора заряда с трека частицы на образование импульсов помех на выходах элементов И, ИЛИ и элемента TMG достаточно моделирования средствами TCAD одного из элементов И, а именно D1, и элемента ИЛИ D2 (рис. 1) с двумя вариантами входных сигналов: $A = B = C = 0$ и $A = B = 1$, $C = 0$. При входных сигналах на TMG $A = B = C = 0$ на входах элемента И будет $V_{\text{BX1}} = V_{\text{BX2}} = 0$; на входах элемента ИЛИ $V_{\text{BX1}} = V_{\text{BX2}} = V_{\text{BX3}} = 0$, а на выходе TMG $V_{\text{ВЫХ.TMG}} = 0$. При сигналах $A = B = 1$, $C = 0$ на входах элемента И $V_{\text{BX1}} = V_{\text{BX2}} = 1$ В, на входах элемента ИЛИ $V_{\text{BX1}} = 1$ В, $V_{\text{BX2}} = V_{\text{BX3}} = 0$, а на выходе ИЛИ и TMG элемента $V_{\text{ВЫХ.TMG}} = 1$ В.

3.1. Треки через РМОП транзисторы И-НЕ группы Gr1P элемента И D1

На рис. 3 приведены зависимости напряжений на узлах элемента И для точек входа трека в РМОП транзисторы группы Gr1P при сигналах на входах TMG элемента $A = B = 1$; $C = 0$, линейная передача энергии на трек LET = 60 МэВ см²/мг, начало сбора заряда при $t_{\text{ТР}} = 100$ пс.

Зависимости напряжений на рис. 3 соответствуют точкам входа трека от 2р до 6р в группе РМОП транзисторов Gr1P элемента И (рис. 2а). Точки 2р и 6р — это точки входа трека в стоки транзисторов P1.3, P1.4 инвертора, а точки 3р, 4р и 5р — это точки входа трека в истоки и стоки

транзисторов P1.1, P1.2 группы И-НЕ. Транзисторы P1.3, P1.2, P1.1 (рис. 2а) выполнены в кармане N-типа проводимости в общей области кремния размером 885 нм × 400 нм, окруженного мелкой траншейной изоляцией глубиной 400 нм. Один из транзисторов P1.4 выполнен в отдельной области кремния размером 360 нм × 400 нм, отделенной от основной группы РМОП транзисторов слоем траншейной изоляции толщиной 120 нм. Области кремния с транзисторами, окруженные траншейной изоляцией, на рис. 2 ограничены прямоугольниками.

Треки с точками входа 2р–5р проходят через общую область кремния транзисторов P1.3, P1.2, P1.1, генерируя в ней электронно-дырочные пары. Эффективность сбора заряда транзисторами в этой группе зависит от расстояния до точки входа трека от стоковой области транзистора и диффузии к ней носителей заряда от трека. Детали сбора заряда несколько меняются в зависимости от точки входа трека, но общий характер зависимостей напряжений сохраняется как для узла И-НЕ, так и на выходе И (рис. 3а и 3б).

Главное в зависимостях напряжений на узле И-НЕ и выходе И при образовании импульсов помех обусловлено взаимодействием двух внутренних элементов: группы транзисторов И-НЕ и группы транзисторов инвертора. При сигналах на входах TMG элемента $A = B = 1$, $C = 0$ транзисторы P1.2, P1.2 группы И-НЕ заперты и при сборе заряда с трека напряжения на их общих стоках повышается, что формирует импульс помехи на узле И-НЕ и соответственно на входе инвертора. Транзисторы P1.3 и P1.4 инвертора запираются и начинается сбор заряда с трека преимущественно

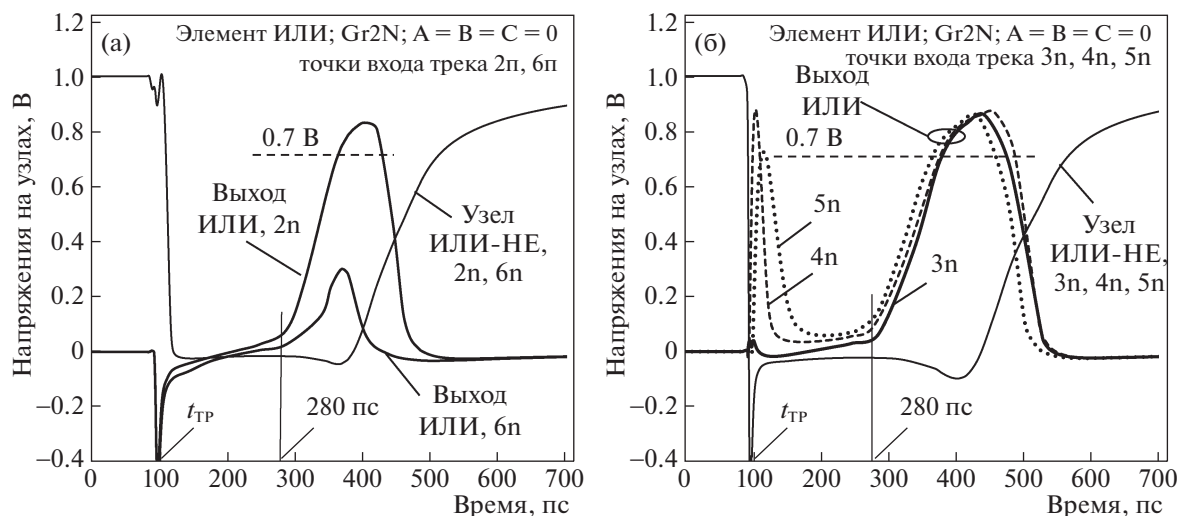


Рис. 4. Зависимости напряжений на узлах элемента ИЛИ при сборе заряда с треков с точками входа в группу Gr2N, линейная передача энергии на трек LET = 60 МэВ см²/мг, образование трека при $t_{\text{ТР}} = 100$ пс, на ТМГ входах $A = B = C = 0$: (а) точки входа трека 2п, 6п в транзисторы инвертора; (б) точки входа трека 3п, 4п и 5п в транзисторы группы ИЛИ-НЕ.

тем транзистором инвертора, который ближе к треку. Сбор этого заряда (дырок) компенсирует начальную часть импульса помехи отрицательной полярности на выходе И, который образуется инвертированием помехи с узла И-НЕ (рис. 3).

Этот процесс одинаков для всех рассмотренных точек входа трека 2р–5р, но для трека с точкой входа 6р в сток транзистора P1.4 в объеме кремния, отделенного слоем диэлектрика от основной части транзисторов группы Gr1P (рис. 2а), импульс на выходе И отсутствует так, как транзистор P1.4 до момента времени $t = 220$ пс находится в инверсном смещении (рис. 3а).

Когда трек с точкой входа 3р проходит через общую область истоков транзистора P1.2 и P1.3 (рис. 2а), заряд (дырки) с этого трека поступает сразу в область стока транзистора P1.3 инвертора, заряжая емкость выходного узла элемента И до напряжения 0.9 В (зависимость Выход И с маркером 3р на рис. 3б). Затем узел выхода И начинает разряжаться через открытые NМОП транзисторы N1.3, N1.4 инвертора, незначительно заряжаясь сбором дырок с трека 3р через обратно смещенный стоковый *pn* переход транзистора P1.3. В момент времени $t = 300$ пс (рис. 3б) напряжение на выходе И снижается до 0.17 В, что соответствует экстремуму импульса помехи с маркером 3р. К этому времени завершается сбор заряда транзисторами P1.1, P1.2, и узел И-НЕ начинает разряжаться до напряжения общей шины 0 В, а инвертор отслеживает это снижение, повышая напряжение на выходе И до 1 В.

Точки входа треков 4р и 5р отстоят на 0.25 мкм и 0.5 мкм от точки входа 3р (рис. 2а), заряд с трека от этих треков диффундирует с задержкой к тран-

зисторам P1.3, P1.4 инвертора, и инвертор в начале сбора заряда с трека 4р или 5р успевает переключиться. При переключении напряжение на выходе И снижается до 0.08 В, что образует фронт импульса помехи отрицательной полярности на выходе И (рис. 3б). Затем через 10–20 пс запертые транзисторы P1.3, P1.4 инвертора начинают собирать заряд (дырки) с трека, что образует встроенный импульс положительной полярности на выходе И после фронта импульса помехи отрицательной полярности на выходе И (рис. 3б). Этот эффект несколько снижает длительность импульса помехи отрицательной полярности, если отсчитывать длительность на уровне 0.1–0.15 В.

3.2. Треки через NМОП транзисторы ИЛИ-НЕ группы Gr2N элемента ИЛИ D2

На рис. 4 приведены зависимости напряжений на узлах элемента ИЛИ для точек входа трека в NМОП транзисторы группы Gr2N при сигналах на входах ТМГ элемента $A = B = C = 0$, линейная передача энергии на трек LET = 60 МэВ см²/мг, начало сбора заряда при $t_{\text{ТР}} = 100$ пс.

Зависимости на рис. 4 даны для точек входа трека от 2п–6п в группе NМОП транзисторов (рис. 2б). Точки 2п и 6п для треков в стоки транзисторов N2.3, N2.4 инвертора, а точки 3п, 4п и 5п – в истоки и стоки транзисторов N2.1, N2.2 группы ИЛИ-НЕ. Транзисторы N2.1 – N2.3 (рис. 2б) выполнены в кремниевой подложке Р-типа проводимости в области, окруженной мелкой траншейной изоляцией глубиной 400 нм, а транзистор инвертора N2.4 – в небольшой области, отде-

ленной от основной группы транзисторов слоем изоляции толщиной 120 нм.

Треки 2n–5n генерируют заряд в общую область кремния транзисторов N2.1–N2.3, эффективность сбора которого зависит от расстояния стоковой области транзистора до трека. Поэтому характер зависимостей на рис. 4а и 4б сохраняется для узла ИЛИ-НЕ и выхода ИЛИ.

Особенности образования импульсов помех обусловлены взаимодействием групп транзисторов ИЛИ-НЕ и инвертора. При сигналах на входах элемента $A = B = C = 0$ транзисторы N2.1, N2.2 группы ИЛИ-НЕ заперты, в начале сбора заряда напряжение на их общих стоках снижается, формируя импульс помехи на узле ИЛИ-НЕ и соответственно на входе инвертора. Транзисторы N2.3, N2.4 инвертора запираются, начинается сбор заряда с трека в основном тем транзистором инвертора, который ближе к треку. Этот заряд электронов на емкости выходного узла ИЛИ компенсирует часть импульса помехи положительной полярности, который образуется инвертированием импульса, образованного на узле ИЛИ-НЕ (рис. 4). Этот процесс практически одинаков для точек входа трека 2n–5n, но при точке входа 6p в сток транзистора N2.4 влияние сбора заряда в отделенном объеме кремния незначительно и импульс на выходе ИЛИ имеет малую амплитуду (рис. 4а).

К особенностям характеристик переходного процесса при образовании импульсов помех при сборе заряда с треков с разными точками входа можно отнести переход транзисторов N2.3, N2.4 инвертора в инверсное смещение в начале сбора заряда при точках входа 2n, 6n до напряжения -0.4 В (рис. 4а), а также транзисторов N2.1, N2.2 группы ИЛИ-НЕ при точках входа треков 3n–5n (рис. 4б). Кроме того, в случае, когда трек с точкой входа 3n проходит через общую область истоков транзистора N2.2 группы ИЛИ-НЕ и транзистора N2.3 инвертора (рис. 2б), заряд электронов с трека сразу удерживает емкость выходного узла ИЛИ при напряжении 0 В, что исключает переключение инвертора (выход ИЛИ с маркером 3n на рис. 4б). Затем узел выхода ИЛИ начинает заряжаться через РМОП транзисторы P2.3, P2.4 инвертора, но одновременно и разряжаться сбором электронов с трека 3n через обратный смещенный стоковый *pn* переход транзистора N2.3 инвертора. Баланс процесса заряда-разряда выходного узла удерживает напряжение на выходе ИЛИ около 0 В до 280 пс (рис. 4б), затем напряжение возрастает до 0.85 В при $t = 435$ пс, что соответствует экстремуму импульса помехи с маркером 3n.

Точки входа треков 4n и 5n отстоят на 0.25 мкм и 0.5 мкм от точки входа 3n (рис. 2б), поэтому заряд от этих треков диффундирует с задержкой к транзисторам N2.3, N2.4 инвертора, поэтому в

отличие от сбора заряда с трека точкой входа 3n инвертор успевает переключить выход ИЛИ до уровня 0.7–0.9 В через 15–30 пс после возникновения трека. Далее до момента времени $t = 435$ пс напряжение на выходе ИЛИ изменяется практически, как и для трека с точкой входа маркером 3n на рис. 4б. При $t = 435$ пс завершается сбор заряда транзисторами N2.1, N2.2 и узел ИЛИ-НЕ начинает заряжаться до напряжения питания 1 В через транзисторы P2.1, P2.2, а инвертор отслеживает это изменение, снижая напряжение на выходе ИЛИ до 0 В.

В итоге взаимодействие изменения на узле ИЛИ-НЕ при сборе заряда с трека и сбора заряда запертым транзистором инвертора образует встроенный импульс отрицательной полярности, который компенсирует часть импульса помехи положительной полярности на выходе ИЛИ. Этот эффект существенно снижает длительность импульса помехи на выходе элемента ИЛИ.

3.3. Коррекция длительности импульсов помех на выходах элементов И и ИЛИ в зависимости от линейного переноса энергии на трек

На рис. 5а приведены зависимости длительности импульсов помехи на узле И-НЕ и выходе элемента И при точках входа трека 4p в область РМОП транзисторов элемента И-НЕ группы xGr1P при входных сигналах TMG элемента $A = C = 1$, $B = 0$.

На рис. 5б приведены зависимости длительности импульсов помехи на узле ИЛИ-НЕ и выходе элемента ИЛИ при точках входа трека 4n в область НМОП транзисторов элемента ИЛИ-НЕ группы Gr2N при входных сигналах TMG элемента $A = C = B = 0$.

Длительности импульсов помех отрицательной полярности на выходе И (рис. 5а) определены на уровне $\Delta V = 0.3$ В относительно напряжения общей шины, что соответствует уровню 0.7 В относительно пьедестала импульса помехи. Даны и зависимости, которые определены на уровне $\Delta V = 0.2$ В. Длительности импульсов помех положительной полярности на выходе ИЛИ (рис. 5б) определены на уровне $\Delta V = 0.7$ В относительно общей шины.

При увеличении переноса энергии на трек как с точкой входа 4p в группу РМОП транзисторов И-НЕ, так и на трек с точкой входа 4n в группу НМОП транзисторов ИЛИ-НЕ, генерируется больше заряда и увеличивается сбор его. При этом возрастает длительность импульса на узле И-НЕ (рис. 5а) и на узле ИЛИ-НЕ (рис. 5б), но одновременно больше заряда диффундирует до запертых транзисторов инвертора, сбор которого компенсирует часть увеличения длительности

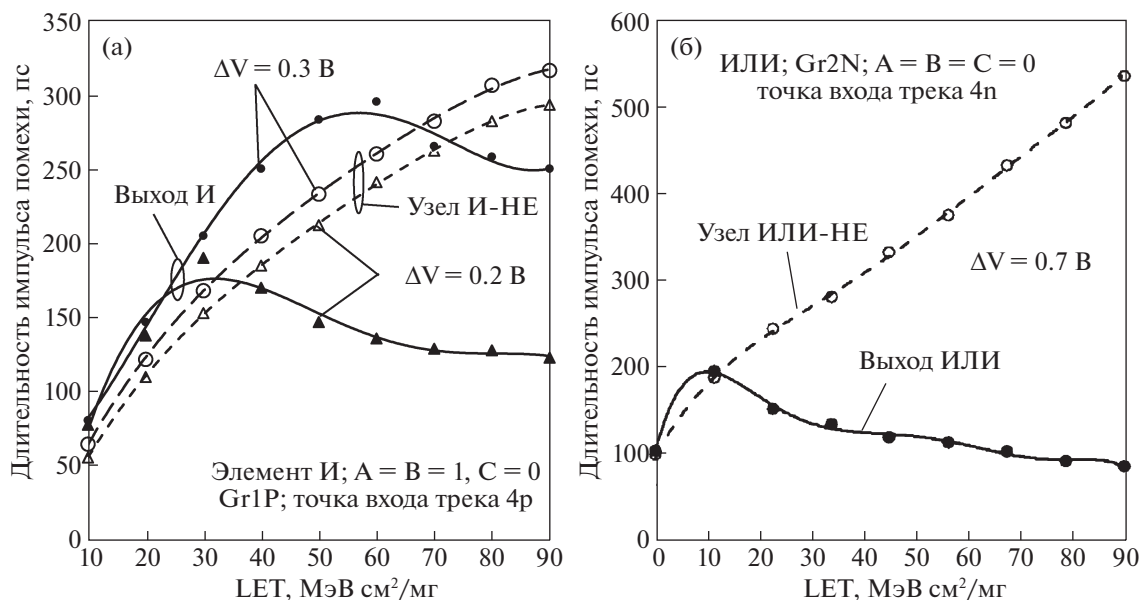


Рис. 5. Длительности импульсов помехи на узлах элементов И и ИЛИ в зависимости от линейной передачи энергии на трек в диапазоне от 10 до 90 МэВ см²/мг: (а) для точки входа трека 4р в группу РМОП транзисторов Gr1P при входах TMG элемента $A = B = 0$, $C = 0$; (б) для точки входа трека 4п в группу НМОП транзисторов Gr2N при входах TMG элемента $A = B = C = 0$.

импульса помехи на выходе элемента И (рис. 5а), а также выходе элемента ИЛИ (рис. 5б).

В итоге при $LET \geq 60$ МэВ см²/мг длительность импульса помехи на выходе И снижается с 295 пс до 250 пс при оценке по урону 0.3 В. Оценка по урону 0.2 В при $LET \geq 30$ МэВ см²/мг дает снижение длительности помехи с значения 190 пс до значения 130 пс (рис. 5а).

В итоге длительность импульса помехи на выходе ИЛИ снижается с 190 пс при $LET = 20$ МэВ см²/мг до 83 пс при $LET = 90$ МэВ см²/мг, соответственно снижение длительности импульса помехи на выходе ИЛИ по отношению к длительности импульса помехи на узле ИЛИ-НЕ при 20 МэВ см²/мг составляет 1.5 раза, при 60 МэВ см²/мг составляет 4.3 раза, а при $LET = 90$ МэВ см²/мг 7.8 раза (рис. 5б).

В таблице 1 приведены значения длительностей импульсов помех (ложных сигналов) на выходах элементов И и ИЛИ тройного мажоритарного элемента TMG со схемой на рис. 1. Импульсы помех вызваны сбором заряда с треков одиночных частиц при линейной передаче энергии на трек 60 МэВ см²/мг с точками входа треков в группы транзисторов Gr1N, Gr1P элемента И D1, а также группах Gr2N, Gr2P элемента ИЛИ D2 (точки входа треков частиц на рис. 2а и рис. 2б). В таблице отмечены жирным шрифтом и длительности импульсов помех в группе Gr1P элемента И D1 при входах $A = B = 1$; $C = 0$, а также в группе

Gr2N элемента ИЛИ D2 при сигналах на входах $A = B = C = 0$.

Образование импульсов помех в элементах И (ИЛИ) зависит от исходного смещения транзисторов в элементах мажоритарного элемента:

1) если в группе И-НЕ (ИЛИ-НЕ) транзисторы заперты, а в инверторе открыты, то собирая заряд с трека, транзисторы в группе И-НЕ (ИЛИ-НЕ) переходят в инверсное смещение или близкое к нему, а транзисторы инвертора запираются и, собирая заряд, укорачивают импульс помехи, передаваемый с узла И-НЕ (ИЛИ-НЕ) на выход И (ИЛИ);

2) если в группе И-НЕ (ИЛИ-НЕ) транзисторы открыты и остаются в открытом состоянии при сборе заряда с трека, то запертые транзисторы инвертора, собирая заряд, образуют импульс помехи, который не подвергается коррекции по длительности.

Если заряд, образованный на треке, недостаточен для образования транзисторами инвертора импульса, корректирующего импульс помехи на выходе элемента И (ИЛИ), то инвертор передает с инверсией на выход И (ИЛИ) изменение напряжения на узле И-НЕ (ИЛИ-НЕ). Запертые транзисторы группы И-НЕ (ИЛИ-НЕ), собирая заряд с трека, могут до возникновения переключающих сигналов на входах элемента переключить сразу элемент с опережением.

Таблица 1. Значения длительностей импульсов помех, образующихся на выходах элементов И в группах транзисторов Gr1N, Gr1P и ИЛИ в группах транзисторов Gr2N, Gr2P тройного мажоритарного элемента для точек входа трека с LET = 60 МэВ см²/мг

Номер точки входа трека	1n/1p	2n/2p	3n/3p	4n/4p	5n/5p	6n/6p	7n/7p	8n/8p
Группа Gr1N, И A = B = C = 0	0	0	0	0	45 пс	0	0	0
Группа Gr1N, И A = B = 1; C = 0	0	214 пс	209 пс	154 пс	47 пс	243 пс	244 пс	0
Группа Gr1P, И A = B = C = 0	0	76 пс	44 пс	0	0	86 пс	7 пс	0
Группа Gr1P, И A = B = 1; C = 0	0	135 пс	192 пс	290 пс	280 пс	0	0	0
Группа Gr2N, ИЛИ A = B = C = 0	0	70 пс	100 пс	110 пс	95 пс	0	0	0
Группа Gr2N, ИЛИ A = B = 1; C = 0	0	220 пс	250 пс	195 пс	165 пс	250 пс	255 пс	0
Группа Gr2P, ИЛИ A = B = C = 0	0	77 пс	54 пс	0	0	82 пс	75 пс	0
Группа Gr2P, ИЛИ A = B = 1; C = 0	0	0	0	11 пс	60 пс	0	0	0

Примечание: длительности импульсов помех определены по уровню 0.7 В относительно пьедестала импульса.

5. ЗАКЛЮЧЕНИЕ

Надежность высокопроизводительных микропроцессорных систем с цепями кодирования-декодирования и резервирования данных зависит от помехоустойчивости элементов многоканальных цепей к воздействию одиночных ионизирующих частиц. Импульсные помехи в мажоритарных элементах являются ложными выходными сигналами, что ограничивает и быстродействие микропроцессорных систем.

Результаты моделирования процесса коррекции длительности помех в 65-нм КМОП элементах И и ИЛИ по объемной технологии показали, что расположение в общем объеме кремния, окруженном траншейной изоляцией, каскадно включенных транзисторов способствует коррекции (снижению) длительности импульсов помех, образующихся в узлах И-НЕ до 1.5 раза, а в ИЛИ-НЕ в 1.5–7 раз. Активную коррекцию помех сбором заряда с трека частицы осуществляют НМОП транзисторы инверторов на выходах элементов ИЛИ. Инверторы в зависимости от исходного режима смещения мажоритарного элемента либо корректируют длительности помех, либо создают их сами при сборе заряда с трека, но с длительностью не более 90–250 пс. Длительности импульсов помех в двухвходовых КМОП элементах И и ИЛИ мажоритарного элемента с учётом эффекта коррекции находятся в диапазоне 50–300 пс.

БЛАГОДАРНОСТИ

Исследование выполнено при финансовой поддержке РФФИ в рамках научного проекта № 19-07-00651.

СПИСОК ЛИТЕРАТУРЫ

1. Soft errors in modern electronic systems / Editor M. Nicolaidis. New York: Springer, 2011. P. 35–37.
2. Dodd P.E., Messengill L.W. Basic Mechanisms and Modeling of Single-Event Upset in Digital Microelectronics // IEEE Transactions on Nuclear Science. 2003. V. 50. № 3. P. 583–602.
3. Dodd P.E., Shaneyfelt M.R., Felix J.A., Shwank J.R. Production and Propagation of Single-Event Transients in High-Speed Digital Logic ICs // IEEE Transactions on Nuclear Science. 2004. V. 51. № 6. P. 3278–3284.
4. Ferlet-Cavrois V., Messengill L.W., Couker P. Single-Event Transients in Digital CMOS – A Review // IEEE Transactions on Nuclear Science. 2013. V. 60. № 3. P. 1767–1790.
5. Mahatme N.N., Jagannathan S., Loveless T.D., Massengill L.W., Bhuvu B.L., Wen S.-J., Wong R. Comparison of combinational and sequential error rates for a deep submicron process // IEEE Transactions on Nuclear Science. 2011. V. 58. № 6. P. 2719–2725.
6. Ahlbin J.R., Massengill L.W., Bhuvu B.L., Narasimham B., Gadlage M.J., Eaton P.H. Single-event transient pulse quenching in advanced CMOS logic circuits // IEEE Transactions on Nuclear Science. 2009. V. 56. № 6. P. 3050–3056.
7. Atkinson N.M., Witulski A.F., Holman W.T., Ahlbin J.R., Bhuvu B.L., Massengill L.W. Layout technique for single-event transient mitigation via pulse quenching //

- IEEE Transactions on Nuclear Science. 2011. V. 58. № 3. P. 885–890.
8. Stenin V.Ya., Antonyuk A.V., Katunin Yu.V., Stepanov P.V. Translation Lookaside Buffer on the 65-nm STG DICE Hardened Elements // Telfor Journal. 2018. V. 10. № 1. P. 50–55.
 9. Катунин Ю.В., Стенин В.Я. Компенсация импульсов помех в троичном КМОП мажоритарном элементе на логических элементах И-НЕ при воздействии одиночных ионизирующих частиц // Вестник НИЯУ МИФИ. 2019. Т. 8. № 4. С. 357–364.
 10. Катунин Ю.В., Стенин В.Я. Моделирование воздействия одиночных ионизирующих частиц на логические элементы КМОП тройного мажоритарного элемента // Микроэлектроника. 2020. Т. 49. № 2. С. 71–80.
 11. Garg R., Khatri S.P. Analysis and design of resilient VLSI circuits: mitigating soft errors and process variations. New York: Springer, 2010. P. 194–205.

Vestnik Natsional'nogo issledovatel'skogo yadernogo universiteta "MIFI", 2020, vol. 9, no. 2, pp. 226–235

Correction of the Duration of Error Pulses in CMOS Combinational Logic Elements when Collecting Charge from Tracks of Single Particles

V. Ya. Stenin^{a,b,#} and Yu. V. Katunin^{b,##}

^a National Research Nuclear University MEPhI (Moscow Engineering Physics Institute), Moscow, 115409 Russia

^b Scientific Research Institute of System Analysis, Russian Academy of Sciences, Moscow, 117218 Russia

[#]e-mail: vystenin@mephi.ru

^{##}e-mail: katunin@cs.niisi.ras.ru

Received February 28, 2020; revised February 28, 2020; accepted April 28, 2020

Abstract—The 3D-TCAD simulation of a noise pulse generation in CMOS combinational elements as a part of a majority element when collecting charge from tracks of single ionizing particles has been reported. The duration of noise pulses and its reducing in the logical elements by the 65-nm CMOS bulk technology with shallow trench isolation of transistor groups have been estimated. The simulation of the charge collection has been performed for a linear energy transfer of 60 MeV cm²/mg to a track. When the charge is collected from the particle track by the closed transistors of the NAND (NOR) elements, they transit to an open state (in particular, to the inverse offset mode). As a result, a noise pulse appears at the NAND (NOR) node, which closes the transistor of the output inverter of the AND (OR) element. The closed transistor of the inverter, collecting a charge from the same track, can compensate a part of the pulse duration when transmitting the pulse to the output of the AND (OR) element. Duplicating the inverter with the location of the main and additional transistors of the inverter on the boundary sides of the topological groups of NAND (NOR) transistors promotes reducing the duration of noise pulses when collecting a charge from the track of a single particle. Taking into account the correction, the duration of interferences occurring in the majority element is in the range of 50–300 ps.

Keywords: noise pulse, combinational element, majority element, simulation, single ionizing particle, energy transfer, particle track

DOI: 10.1134/S2304487X20020145

REFERENCES

1. *Soft errors in Modern Electronic Systems* / M. Nicolaidis, Ed. New York: Springer, 2011. pp. 35–37.
2. Dodd P.E., Messengill L.W., Basic mechanisms and modeling of single-event upset in digital microelectronics // *IEEE Transactions on Nuclear Science*, 2003, vol. 50, no. 3, pp. 583–602.
3. Dodd P.E., Shaneyfelt M.R., Felix J.A., Shwank J.R., production and propagation of single-event transients in high-speed digital logic ICs, *IEEE Transactions on Nuclear Science*, 2004, vol. 51, no. 6, pp. 3278–3284.
4. Ferlet-Cavrois V., Messengill L.W., Couker P., Single-event transients in digital CMOS — A review, *IEEE Transactions on Nuclear Science*, 2013, vol. 60, no. 3, pp. 1767–1790.
5. Mahatme N.N., Jagannathan S., Loveless T.D., Messengill L.W., Bhuvu B.L., Wen S.-J., Wong R., Comparison of combinational and sequential error rates for a deep submicron process, *IEEE Transactions on Nuclear Science*, 2011, vol. 58, no. 6, pp. 2719–2725.
6. Ahlbin J.R., Messengill L.W., Bhuvu B.L., Narasimham B., Gadlage M.J., Eaton P.H., Single-event transient pulse quenching in advanced CMOS logic cir-

- cuits, *IEEE Transactions on Nuclear Science*, 2009, vol. 56, no. 6. pp. 3050–3056.
7. Atkinson N.M., Witulski A.F., Holman W.T., Ahlbin J.R., Bhuva B.L., Massengill L.W., Layout technique for single-event transient mitigation via pulse quenching, *IEEE Transactions on Nuclear Science*, 2011, vol. 58, no. 3. pp. 885–890.
 8. Stenin V.Ya., Antonyuk A.V., Katunin Yu.V., Stepanov P.V., Translation Lookaside Buffer on the 65-nm STG DICE hardened elements, *Telfor Journal*, 2018., vol. 10, no. 1. pp. 50–55.
 9. Katunin Yu.V., Stenin V.Ya., Kompensaciya impul'sov pomekh v troichnom KMOP mazhoritarnom elemente na logicheskikh elementah I-NE pri vozdeystvii odinochnykh ioniziruyushchih chastic [The noise pulse compensation in the ternary CMOS majority element on logical elements NAND under impacts of single ionizing particles], *Vestnik NIYaU MIFI*, 2019, vol. 8, no. 4, pp. 357–364 (in Russian).
 10. Katunin Yu.V., Stenin V.Ya., Modeling of single ionizing particles impacts on CMOS logic elements of a triple majority gate, *Russian Microelectronics*, 2020, vol. 49, no. 3, pp. 214–223.
 11. Garg R., Khatri S.P. *Analysis and design of resilient VLSI circuits: Mitigating soft errors and process variations*. New York: Springer, 2010. pp. 194–205.